

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-344691

(43)Date of publication of application : 14.12.1999

(51)Int.Cl.

G02F 1/133

G09G 3/20

G09G 3/36

H04N 5/66

(21)Application number : 10-361610

(71)Applicant : SHARP CORP

(22)Date of filing : 18.12.1998

(72)Inventor : MATSUSHIMA YASUHIRO

ETO SUNAO

TAKATO YUTAKA

(30)Priority

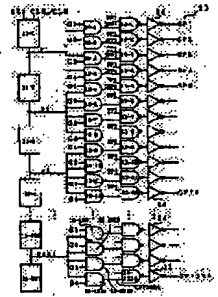
Priority number : 10 84323 Priority date : 30.03.1998 Priority country : JP

(54) LIQUID CRYSTAL DISPLAY DEVICE AND ITS DRIVING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a liquid crystal display device in which drive signals for operating the liquid crystal display device are little and the yield improvement can be realized.

SOLUTION: A vertical driving circuit 10 is equipped with 256 stages of scanning circuits 11-1 to 11-257 which shift pulse signals in order by half cycles of a clock signals CLK and output them by inputting a start pulse STa, 1024 sets of AND gate circuits 12-1 to 12-1024 as 1st logic gate circuits where the output signals from the scanning circuits 11-1 to 11-257 are inputted for every 1st control terminals connected in common by every four sets and either of four kinds of 2nd control signals G1, G2, G3 and G4 is inputted and NAND gate circuits 13-1 to 13-1024 as 2nd logic gate circuits which make the outputs of the AND gate circuits 12-1 to 12-1024 and 3rd control signals PP1 and PP2 inputs.



LEGAL STATUS

[Date of request for examination] 27.07.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3488107

[Date of registration] 31.10.2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] In the liquid crystal display which consists of the active-matrix array by which the switching element has been arranged at each intersection of two or more scanning lines and two or more signal lines, a vertical-drive circuit which drives the above-mentioned scanning line, and a level drive circuit which drives the above-mentioned signal line The scanning circuit of N stage (N is a positive integer) which a clock signal carries out the half period [every] sequential shift of the pulse signal, and is outputted when the above-mentioned vertical-drive circuit inputs a start pulse, every M individual (M is two or more integers) — every, while the output signal from the scanning circuit of the above-mentioned N stage is inputted, respectively for every control terminal [the] by which common connection of the 1st control terminal was made, and common connection was made in these (M-1) every for inputting the 2nd control signal of M class every individual — the 2nd control terminal with the 1st logic-gate circuit of the individual (NxM) by which common connection was made The liquid crystal display characterized by having the 2nd logic-gate circuit where either of two kinds of 3rd control signal is inputted from the output of the **** gate circuit of the above 1st, and the 3rd control terminal.

[Claim 2] In the liquid crystal display which consists of the active-matrix array by which the switching element has been arranged at each intersection of two or more scanning lines and two or more signal lines, a vertical-drive circuit which drives the above-mentioned scanning line, and a level drive circuit which drives the above-mentioned signal line The scanning circuit of N stage (N is a positive integer) which a clock signal carries out the half period [every] sequential shift of the pulse signal, and is outputted when the above-mentioned vertical-drive circuit inputs a start pulse, A pulse width compaction means to make small pulse width of the output pulse of each above-mentioned scanning circuit, and to output it, every M individual (M is two or more integers) — every, while the output signal from each above-mentioned pulse width compaction means is inputted, respectively for every control terminal [the] by which common connection of the 1st control terminal was made, and common connection was made in these (M-1) every for inputting the 2nd control signal of M class every individual — the liquid crystal display characterized by equipping the 2nd control terminal with the 3rd logic-gate circuit of the individual (NxM) by which common connection was made.

[Claim 3] The above-mentioned pulse width compaction means is a liquid crystal display according to claim 2 characterized by consisting of the 4th logic-gate circuit where the adjacent output pulse in the scanning circuit of the above-mentioned N stage is inputted.

[Claim 4] The liquid crystal display according to claim 3 characterized by establishing the spare scanning circuit in the preceding paragraph or the latter part in a scanning circuit of the above-mentioned N stage at the above-mentioned pulse width compaction means.

[Claim 5] two kinds of every which the above-mentioned pulse width compaction means becomes from the output pulse in the scanning circuit of the above-mentioned N stage, and forward and a reverse pulse — the liquid crystal display according to claim 2 characterized by consisting of the 5th logic-gate circuit where either of the 4th control signal is inputted.

[Claim 6] The 3rd control signal of the above or the 4th control signal is a liquid crystal display

according to claim 1 or 5 characterized by consisting of a clock signal and a reversal clock signal.

[Claim 7] A liquid crystal display given in any 1 term of claims 1-6 characterized by being $M=4$.

[Claim 8] In the liquid crystal display which consists of the active-matrix array by which the switching element has been arranged at each intersection of two or more scanning lines and two or more signal lines, a vertical-drive circuit which drives the above-mentioned scanning line, and a level drive circuit which drives the above-mentioned signal line. The scanning circuit of the $2 \times N$ stage (N is a positive integer) which a clock signal carries out the half period [every] sequential shift of the pulse signal, and is outputted when the above-mentioned vertical-drive circuit inputs a start pulse, every M individual (M is two or more integers) — every, while the output signal in every other step from the scanning circuit of the above-mentioned $2 \times N$ stage is inputted, respectively for every control terminal [the] by which common connection of the 1st control terminal was made, and common connection was made in these $(M-1)$ every for inputting the 2nd control signal of M class every individual — the liquid crystal display characterized by equipping the 2nd control terminal with the 6th logic-gate circuit of the individual $(N \times M)$ by which common connection was made.

[Claim 9] By inputting the start pulse whose pulse width is $(2 \times M \times T)$, being the drive approach of a liquid crystal display according to claim 1, and using a scanning-line selection period as T in the scanning circuit in said vertical-drive circuit. Each signal which was made to generate the signal in which the period carried out the half period part sequential shift using the clock signal which is $(2 \times M \times T)$, respectively, next carried out [above-mentioned] the half period part sequential shift. It inputs into the 1st control terminal and the 2nd control terminal in the 1st logic-gate circuit, respectively. the 2nd control signal of M class with which a period is $(M \times T)$ and outputs the pulse of pulse width (T) — every — Two pulses which each pulse width is (T) and the phase separated from the 1st logic-gate circuit mutually $(M-1)$ $(\times T)$ are generated [next], these every — with the two above-mentioned pulses. The signal of pulse width (T) is made to output from the 2nd logic-gate circuit. two kinds of every which consists of forward and reverse pulses of a period $(2 \times M \times T)$ and pulse width $(M \times T)$ — either of the 3rd control signal — the 2nd logic-gate circuit — respectively — inputting — these every — The drive approach of the liquid crystal display characterized by inputting the signal of the above-mentioned pulse width (T) into a sequential-scanning line.

[Claim 10] By inputting the start pulse whose pulse width is $(2 \times M \times T)$, being the drive approach of a liquid crystal display according to claim 2, and using a scanning-line selection period as T in the scanning circuit in said vertical-drive circuit. The signal in which the period carried out the half period part sequential shift using the clock signal which is $(2 \times M \times T)$ is generated, respectively. The signal which carried out [above-mentioned] the half period part sequential shift is inputted into a pulse width compaction means, and the pulse of pulse width $(M \times T)$ is generated, respectively. Next, the output from the above-mentioned pulse width compaction means, It inputs into the 1st control terminal and the 2nd control terminal in the 3rd logic-gate circuit, respectively. the 2nd control signal of M class with which a period is $(M \times T)$ and outputs the pulse of pulse width (T) — every — these every — the drive approach of the liquid crystal display characterized by for each pulse width generating the signal of (T) from the 3rd logic-gate circuit, and inputting the signal of the above-mentioned pulse width (T) into a sequential-scanning line.

[Claim 11] By inputting the start pulse whose pulse width is $(M \times T)$, being the drive approach of a liquid crystal display according to claim 8, and using a scanning-line selection period as T in the scanning circuit in said vertical-drive circuit. Each output signal which carried out the sequential shift by one period which was made to generate the signal in which the period carried out the half period part sequential shift using the clock signal which is $(M \times T)$, respectively, next was taken out from the scanning circuit of the above-mentioned $2 \times N$ stage to every other step, It inputs into the 1st control terminal and the 2nd control terminal in the 6th logic-gate circuit, respectively. the 2nd control signal of M class with which a period is $(M \times T)$ and outputs the pulse of pulse width (T) — every — these every — the drive

approach of the liquid crystal display characterized by for each pulse width generating the signal of (T) from the 6th logic-gate circuit, and inputting the signal of the above-mentioned pulse width (T) into a sequential-scanning line.

[Claim 12] Are the drive approach of a liquid crystal display according to claim 1, and a scanning-line selection period is set to T in the scanning circuit in said vertical-drive circuit. The signal which inputted the start pulse whose pulse width is (MxT), and was made to generate the signal which carried out the half period part sequential shift using the clock signal whose period is (MxT), respectively, next carried out [above-mentioned] the half period part sequential shift, A period inputs the control signal of ((M/2) xT) into the control terminal of an individual among M kinds of control terminals. (M/2) in the 1st logic-gate circuit. Two pulses which pulse width left by (T) (x(-(M/2) - 1) T) are generated from the 1st logic-gate circuit. the two above-mentioned pulses and the 3rd control signal whose period is (MxT) — the 2nd logic-gate circuit — inputting — the signal of pulse width (T) — this — the drive approach of the liquid crystal display characterized by making it output from the 2nd logic-gate circuit, and carrying out the sequential input of the signal of the above-mentioned pulse width (T) every one scanning line.

[Claim 13] Are the drive approach of a liquid crystal display according to claim 1, and a scanning-line selection period is set to T in the scanning circuit in said vertical-drive circuit. The signal which inputted the start pulse whose pulse width is (MxT), and was made to generate the signal which carried out the half period part sequential shift using the clock signal whose period is (MxT), respectively, next carried out [above-mentioned] the half period part sequential shift, M/2 kind of control signals whose periods are ((M/2) xT) are inputted into M kinds of control terminals in the 1st logic-gate circuit. Two pulses which pulse width left by (T) (x(-(M/2) - 1) T) are generated from the 1st logic-gate circuit. the two above-mentioned pulses and the 3rd control signal which is a period (MxT) — the 2nd logic-gate circuit — inputting — the signal of pulse width (T) — this — the drive approach of the liquid crystal display characterized by making it output from the 2nd logic-gate circuit, and carrying out the two scanning lines at a time the sequential input of the signal of the above-mentioned pulse width (T).

[Claim 14] Are the drive approach of a liquid crystal display according to claim 2, and a scanning-line selection period is set to T in the scanning circuit in said vertical-drive circuit. Input the start pulse whose pulse width is (MxT), and the signal which carried out the half period part sequential shift using the clock signal whose period is (MxT) is generated, respectively. The signal which carried out [above-mentioned] the half period part sequential shift is inputted into a pulse width compaction means, and the pulse of pulse width (MxT/2) is generated, respectively. Next, the output from the above-mentioned pulse width compaction means, It inputs into the 1st control terminal and the 2nd control terminal in the 3rd logic-gate circuit, respectively. the control signal whose period is (MxT/2) among the control terminals of M book (M/2) at the control terminal of a book — every — the signal of pulse width (T) — this — the drive approach of the liquid crystal display characterized by making it output from the 3rd logic-gate circuit, and carrying out the sequential input of the signal of the above-mentioned pulse width (T) every one scanning line.

[Claim 15] Are the drive approach of a liquid crystal display according to claim 2, and a scanning-line selection period is set to T in the scanning circuit in said vertical-drive circuit. Input the start pulse whose pulse width is (MxT), and the signal which carried out the half period part sequential shift using the clock signal whose period is (MxT) is generated, respectively. The signal which carried out [above-mentioned] the half period part sequential shift is inputted into a pulse width compaction means, and the pulse of pulse width (MxT/2) is generated, respectively. Next, the output from the above-mentioned pulse width compaction means, It inputs into the 1st control terminal and the 2nd control terminal in the 3rd logic-gate circuit, respectively. the control signal which is M/2 kind whose period is (MxT/2) at the control terminal of M book — every — the signal of pulse width (T) — this — the drive approach of the liquid crystal display characterized by making it output from the 3rd logic-gate circuit, and carrying out the two scanning lines at a time the sequential input of the signal of the above-mentioned pulse width

(T).

[Claim 16] Are the drive approach of a liquid crystal display according to claim 8, and a scanning-line selection period is set to T in the scanning circuit in said vertical-drive circuit. Input the start pulse whose pulse width is (MxT), and the signal which carried out the half period part sequential shift using the clock signal whose period is (MxT) is generated, respectively. Next, each output signal which carried out the sequential shift by one period taken out from the scanning circuit of the above-mentioned 2xN stage to every other step, It inputs into the 1st control terminal and the 2nd control terminal in the 6th logic-gate circuit, respectively. the control signal whose period is (MxT/2) among the control terminals of M book (M/2) at the control terminal of a book — every — the signal of pulse width (T) — this — the drive approach of the display characterized by making it output from the 6th logic-gate circuit, and carrying out the sequential input of the signal of the above-mentioned pulse width (T) every one scanning line.

[Claim 17] Are the drive approach of a liquid crystal display according to claim 8, and a scanning-line selection period is set to T in the scanning circuit in said vertical-drive circuit. Input the start pulse whose pulse width is (MxT), and the signal which carried out the half period part sequential shift using the clock signal whose period is (MxT) is generated, respectively. Next, each output signal which carried out the sequential shift by one period taken out from the scanning circuit of the above-mentioned 2xN stage to every other step, It inputs into the 1st control terminal and the 2nd control terminal in the 6th logic-gate circuit, respectively. the control signal which is M/2 kind whose period is (MxT/2) at the control terminal of M book — every — the signal of pulse width (T) — this — the drive approach of the liquid crystal display characterized by making it output from the 6th logic-gate circuit, and carrying out the two scanning-lines at a time the sequential input of the signal of the above-mentioned pulse width (T).

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the liquid crystal display and its drive approach of the active-matrix mold which consists of the active-matrix array by which the switching element has been arranged at each intersection of two or more scanning lines and two or more signal lines, a vertical-drive circuit which drives the above-mentioned scanning line, and a level drive circuit which drives the above-mentioned signal line.

[0002]

[Description of the Prior Art] In recent years, the liquid crystal display which can be equivalent to a personal computer, a workstation, or television etc. on which a picture frequency and the number of

pixels differ from a scanning mode is required increasingly.

[0003] In order to make an above-mentioned personal computer and an above-mentioned workstation correspond, it is necessary to hold odd lines or the progressive broadcasting method scanned in order regardless of even lines.

[0004] On the other hand, in order to correspond to present television and present Hi-Vision, while scanning the pixel of odd lines sequentially in the odd number field, it is necessary to perform interlace drive of scanning the pixel of even lines sequentially in the even number field.

[0005] Moreover, since 2 coincidence scan of scanning no less than the following odd lines to the scan of even lines and coincidence at coincidence, and writing the same signal in them in the even number field is taken while scanning no less than the following even lines to the scan of odd lines; and coincidence in the odd number field and writing in the same signal, the liquid crystal display which can respond to this is called for.

[0006] Furthermore, the possible liquid crystal display is called for for all not only of a scanning mode but an enlarged display, black display writing, a bidirectional scan, etc.

[0007] As such a liquid crystal display, the liquid crystal display shown in JP,8-122747,A is indicated. Hereafter, explanation about this conventional liquid crystal display is given.

[0008] The above-mentioned liquid crystal display consists of a active-matrix array 101 constituted by arranging a thin film transistor at the intersection of the scanning line and a signal line, a vertical-drive circuit 102 which drives the scanning line, and a level drive circuit 103 which drives a signal line, as shown in drawing 20. The number of the scanning lines is made into 1024 in the above-mentioned liquid crystal display.

[0009] The vertical-drive circuit 102 of the above-mentioned liquid crystal display The scanning circuit of 256 steps of half bit patterns which carry out the sequential shift of the inputted pulse signal from an input terminal a or an input terminal b synchronizing with a clock signal as shown in this drawing 104-1 to 104-257, (It is hereafter called "the scanning circuit of a half bit pattern") Each output signal P1, P2 and — of these half bit pattern scanning circuit 104-1 to 104-257, and P256, It consists of a NAND gate circuit 105-1 to 105-1024 which makes an input signal control signal G1, G2 and —, and G8, and output-buffer circuit 106 — which makes an input signal each output signal of these NAND gate circuit 105-1 to 105-1024.

[0010] In the above-mentioned liquid crystal display, to each output of the half bit pattern scanning circuit 104-1 to 104-257, four NAND gate circuits 105 — is connected; and the thing of adjoining eight NAND gate circuits 105 — which all control signals differ has been the description.

[0011] Moreover, the above-mentioned half bit pattern scanning circuit 104-1 to 104-257 has composition in which a bidirectional scan is possible respectively. Therefore, when scanning to an one direction, while a pulse signal is inputted from an input terminal a, when scanning to hard flow, a pulse signal is inputted from an input terminal b.

[0012] The circuit driven with the clock signal of two phases is used for the above-mentioned half bit pattern scanning circuit 104-1 to 104-257. For this reason, the number of driving signals required to drive the half bit pattern scanning circuit 104-1 to 104-257 becomes a total of four of two clock signals and two input signals also including the pulse signal inputted when scanning to hard flow. Moreover, each control signals G1-G8 of the NAND gate circuit 105-1 to 105-1024 are added, and the number of the driving signals inputted into the vertical-drive circuit 102 has become a total of 12 pieces. The number of these driving signals does not change, even when the number of signal lines exceeds 1024.

[0013] The drive approach in the above-mentioned liquid crystal display is explained.

[0014] First, as shown in drawing 21, while a clock period inputs into said half bit pattern scanning circuit 104-1 to 104-257 to the timing to which the clock signal (T is a scanning-line selection period) CLK of (8T) and the pulse width from said input terminal a show the input pulse signal VSTa of (8T) in this drawing, the input pulse signal VSTa is synchronized to a clock signal CLK, and a sequential shift is

carried out.

[0015] Thereby, as each output signals P1-P256 of the half bit pattern scanning circuit 104-1 to 104-257 are shown in this drawing, pulse width is (8T) and the pulse signal the phase carried out [the pulse signal] the every (4T) sequential shift is outputted.

[0016] on the other hand — said NAND gate circuit 105-1 to 105-1024 — as control signals G1-G8 — pulse width — (T) and a pulse period — and (8T) the pulse signal the phase carried out [the pulse signal] (T) sequential shift is inputted to the timing shown in this drawing. [every] Consequently, the pulse signal (T) and a phase carried out [the pulse signal / pulse width] (T) sequential shift is obtained as output signals GP1-GP1024 of said output-buffer circuit 106. [every]

[0017] Thus, the signal when scanning sequentially by the above-mentioned drive approach is taken out.

[0018]

[Problem(s) to be Solved by the Invention] However, by the liquid crystal display and its drive approach of the above-mentioned former, only with a control signal, the number of driving signals inputted into the vertical-drive circuit 102 has no less than eight pieces, and needs to create this control signal in an external circuit. Moreover, the area which these wiring needs since-eight wiring which takes about these control signals inside the vertical-drive circuit 102 from an input pad is required becomes large, and in order to form the input pad for inputting these control signals on a substrate, the area which a pad needs becomes large. Therefore, when the glass substrate which the liquid crystal display of one sheet requires becomes large and picks out the liquid crystal panel of two or more sheets from one substrate, it has the trouble that the number of sheets decreases.

[0019] Moreover, that the number of input pads increases has the trouble which is said at the time of connection between a pad and an external flexible substrate as for the cause of a yield fall.

[0020] This invention is made in view of the above-mentioned conventional trouble, the purpose has few driving signals for operating a liquid crystal display, and they are to offer the liquid crystal display which can realize improvement in a yield, and its drive approach.

[0021]

[Means for Solving the Problem] In order that the liquid crystal display of invention concerning claim 1 may solve the above-mentioned technical problem In the liquid crystal display which consists of the active-matrix array by which the switching element has been arranged at each intersection of two or more scanning lines and two or more signal lines, a vertical-drive circuit which drives the above-mentioned scanning line; and a level drive circuit which drives the above-mentioned signal line The scanning circuit of N stage (N is a positive integer) which a clock signal carries out the half period [every] sequential shift of the pulse signal, and is outputted when the above-mentioned vertical-drive circuit inputs a start pulse, every M individual (M is two or more integers) — every, while the output signal from the scanning circuit of the above-mentioned N stage is inputted, respectively for every control terminal [the] by which common connection of the 1st control terminal was made, and common connection was made in these (M-1) every for inputting the 2nd control signal of M class every individual — the 2nd control terminal with the 1st logic-gate circuit of the individual (NxM) by which common connection was made It is characterized by having the 2nd logic-gate circuit where either of two kinds of 3rd control signal is inputted from the output of the **** gate circuit of the above 1st, and the 3rd control terminal.

[0022] According to the above-mentioned invention, the control signal inputted into a vertical-drive circuit turns into the start pulse and clock signal which are inputted into the first scanning circuit in the scanning circuit of N stage (N is a positive integer), M kinds of 2nd control signal inputted into the 1st logic-gate circuit of an individual (NxM), and two kinds of 3rd control signal inputted into the 2nd logic-gate circuit.

[0023] That is, since the signal with which classes differ every individual (2xM-1) was inputted into the 1st logic-gate circuit when it was the former, the control line inputted into the 1st logic-gate circuit was

[individual] necessary at least ($2 \times M$). For this reason, while the control lines inputted into a vertical-drive circuit increased in number and the area of an input pad became large, there was a trouble that wiring for a number of this control line still needed to be taken about, and an area required for the layout of a circuit became large.

[0024] however, every [in / at this invention / the 1st logic-gate circuit] — common connection of the 2nd control terminal was made every individual ($M-1$). For this reason, the class of 2nd control terminal becomes M pieces, and serves as half [conventional].

[0025] Moreover, since wiring is distributed by the 1st logic-gate circuit and the 2nd logic-gate circuit, it can prevent that the control line focuses.

[0026] That is, since area of a drive circuit and an input pad can be made small by reducing the number of control terminals, in the case of several multi-sheet picking which picks out two or more liquid crystal displays from one glass substrate, the number of riding to a substrate can increase, and the number of excellent article panels can be made to increase to it.

[0027] Moreover, the frame field of the display circumference of a liquid crystal display becomes small, and it becomes easy to perform inclusion in a personal computer etc. because the area of a drive circuit and an input pad becomes small.

[0028] Furthermore, especially, since the number of stages of a scanning circuit can be reduced by making the number of inputs to the logic-gate circuit from one step in a scanning circuit increase as the output for one step in a scanning circuit is inputted into two or more logic-gate circuits, although it is difficult in a high definition liquid crystal display to arrange one step of scanning circuit in the pitch of the small pixel, in this invention, a layout becomes easy.

[0029] Consequently, there are few driving signals for operating a liquid crystal display, and they can offer the liquid crystal display which can realize improvement in a yield.

[0030] In order that the liquid crystal display of invention concerning claim 2 may solve the above-mentioned technical problem In the liquid crystal display which consists of the active-matrix array by which the switching element has been arranged at each intersection of two or more scanning lines and two or more signal lines, a vertical-drive circuit which drives the above-mentioned scanning line, and a level drive circuit which drives the above-mentioned signal line The scanning circuit of N stage (N is a positive integer) which a clock signal carries out the half period [every] sequential shift of the pulse signal, and is outputted when the above-mentioned vertical-drive circuit inputs a start pulse, A pulse width compaction means to make small pulse width of the output pulse of each above-mentioned scanning circuit, and to output it, every M individual (M is two or more integers) — every, while the output signal from each above-mentioned pulse width compaction means is inputted, respectively for every control terminal [the] by which common connection of the 1st control terminal was made, and common connection was made in these ($M-1$) every for inputting the signal of M class every individual — the 2nd control terminal is characterized by having the 3rd logic-gate circuit of the individual ($N \times M$) by which common connection was made.

[0031] According to the above-mentioned invention, the control signal inputted into a vertical-drive circuit turns into the start pulse and clock signal which are inputted into the first scanning circuit in the scanning circuit of N stage (N is a positive integer), and M kinds of 2nd control signal inputted into the 3rd logic-gate circuit of an individual ($N \times M$).

[0032] That is, since the signal with which classes differ every individual ($2 \times M-1$) was inputted into the 3rd logic-gate circuit when it was the former, the control line inputted into the 3rd logic-gate circuit was [individual] necessary at least ($2 \times M$). For this reason, while the control lines inputted into a vertical-drive circuit increased in number and the area of an input pad became large, there was a trouble that wiring for a number of this control line still needed to be taken about, and an area required for the layout of a circuit became large.

[0033] however, every [in / at this invention / the 3rd logic-gate circuit] — common connection of the

2nd control terminal was made every individual (M-1). For this reason, the class of 2nd control terminal becomes M pieces, and serves as half [conventional].

[0034] Moreover, since wiring is distributed by each pulse width compaction means and the 3rd logic-gate circuit, it can prevent that the control line focuses.

[0035] Consequently, there are few driving signals for operating a liquid crystal display, and they can offer the liquid crystal display which can realize improvement in a yield.

[0036] The liquid crystal display of invention concerning claim 3 is characterized by the above-mentioned pulse width compaction means consisting of the 4th logic-gate circuit where the adjacent output pulse in the scanning circuit of the above-mentioned N stage is inputted in the liquid crystal display according to claim 2, in order to solve the above-mentioned technical problem.

[0037] According to the above-mentioned invention, wiring is distributed by the 4th logic-gate circuit and the 3rd logic-gate circuit by constituting from the 4th logic-gate circuit where the adjacent output pulse in the scanning circuit of N stage is inputted as a concrete pulse width compaction means.

[0038] Consequently, it prevents that the control line focuses, and certainly, there are few driving signals for operating a liquid crystal display, and they can offer the liquid crystal display which can realize improvement in a yield.

[0039] The liquid crystal display of invention concerning claim 4 is characterized by establishing the spare scanning circuit in the preceding paragraph or the latter part in a scanning circuit of the above-mentioned N stage in the liquid crystal display according to claim 3 at the above-mentioned pulse width compaction means, in order to solve the above-mentioned technical problem.

[0040] According to the above-mentioned invention, for a pulse width compaction means, since the spare scanning circuit is established in the preceding paragraph or the latter part in a scanning circuit of the above-mentioned N stage, the adjacent output pulse in the scanning circuit of N stage can be taken out certainly.

[0041] The liquid crystal display of invention concerning claim 5 is characterized by the above-mentioned pulse width compaction means consisting of the 5th logic-gate circuit where the output pulse in the scanning circuit of the above-mentioned N stage and either of two kinds of each 4th control signal which consists of forward and reverse pulses are inputted in the liquid crystal display according to claim 2, in order to solve the above-mentioned technical problem.

[0042] An output pulse [according to the above-mentioned invention / in / as a concrete pulse width compaction means / the scanning circuit of N stage]; By constituting from the 5th logic-gate circuit where either of two kinds of each 4th control signal which consists of forward and reverse pulses is inputted two kinds of every which consists a clock signal and a reversal clock signal of forward and reverse pulses as shown in claim 6 — since it can use as the 4th control signal, certainly, there are few driving signals for operating a liquid crystal display, and they can offer the liquid crystal display which can realize improvement in a yield.

[0043] In order that the liquid crystal display of invention concerning claim 6 may solve the above-mentioned technical problem, in the liquid crystal display according to claim 1 or 5, the 3rd control signal of the above or the 4th control signal is characterized by consisting of a clock signal and a reversal clock signal.

[0044] That is, it is required that the 3rd control signal or 4th control signal should be two kinds of signals which consist of forward and reverse pulses of a period ($2 \times M \times T$) and pulse width ($M \times T$).

[0045] Here, these two kinds of signals are the same as an established clock signal and a reversal clock signal.

[0046] So, in this invention, it becomes unnecessary for the 3rd control signal or 4th control signal to input the new control line into a vertical-drive circuit as the 3rd control signal and 4th control signal by supposing that it consists of a clock signal and a reversal clock signal.

[0047] Consequently, although there was a trouble that wiring for a number of this control line still

needed to be taken about, and an area required for the layout of a circuit became large while the control lines inputted into a vertical-drive circuit increased in number and the area of an input pad became large, when it was the former, this can be prevented by using the established control line.

[0048] Therefore, there are few driving signals for operating a liquid crystal display, and they can offer the liquid crystal display which can realize improvement in a yield.

[0049] the liquid crystal display of invention concerning claim 7 is $M=4$ in a liquid crystal display given in any 1 term of claims 1-6, in order to solve the above-mentioned technical problem — the description — ** — it is carrying out.

[0050] That is, in a high definition liquid crystal display, it is difficult to arrange a part for one step of scanning circuit in the pitch of the small pixel.

[0051] Then, the number of stages of a scanning circuit can be reduced by making the number of inputs to the logic-gate circuit from one step in a scanning circuit increase as the output for one step in a scanning circuit is inputted into two or more logic-gate circuits.

[0052] Especially in this invention, as $M=4$, since the number of inputs to a logic-gate circuit is made to be set to 4, it can arrange easily by the ability arranging one step of a scanning circuit in the pitch for 4 pixels.

[0053] Consequently, there are few driving signals for operating a liquid crystal display, and they can offer the liquid crystal display which can realize improvement in a yield.

[0054] In order that the liquid crystal display of invention concerning claim 8 may solve the above-mentioned technical problem In the liquid crystal display which consists of the active-matrix array by which the switching element has been arranged at each intersection of two or more scanning lines and two or more signal lines, a vertical-drive circuit which drives the above-mentioned scanning line, and a level drive circuit which drives the above-mentioned signal line The scanning circuit of the $2 \times N$ stage (N is a positive integer) which a clock signal carries out the half period [every] sequential shift of the pulse signal, and is outputted when the above-mentioned vertical-drive circuit inputs a start pulse, every M individual (M is two or more integers) — every, while the output signal in every other step from the scanning circuit of the above-mentioned $2 \times N$ stage is inputted, respectively for every control terminal [the] by which common connection of the 1st control terminal was made, and common connection was made in these $(M-1)$ every for inputting the 2nd control signal of M class every individual — the 2nd control terminal is characterized by having the 6th logic-gate circuit of the individual ($N \times M$) by which common connection was made.

[0055] According to the above-mentioned invention, the control signal inputted into a vertical-drive circuit turns into the start pulse and clock signal which are inputted into the first scanning circuit in the scanning circuit of a $2 \times N$ stage (N is a positive integer), and M kinds of 2nd control signal inputted into the 6th logic-gate circuit of an individual ($N \times M$).

[0056] That is, since the signal with which classes differ every individual ($2 \times M-1$) was inputted into the 6th logic-gate circuit when it was the former, the control line inputted into the 6th logic-gate circuit was [individual] necessary at least ($2 \times M$). For this reason, while the control lines inputted into a vertical-drive circuit increased in number and the area of an input pad became large, there was a trouble that wiring for a number of this control line still needed to be taken about, and an area required for the layout of a circuit became large.

[0057] however, every [in / at this invention / the 6th logic-gate circuit] — common connection of the 2nd control terminal was made every individual $(M-1)$. For this reason, the class of 2nd control terminal becomes M pieces, and serves as half [conventional].

[0058] Consequently, there are few driving signals for operating a liquid crystal display, and they can offer the liquid crystal display which can realize improvement in a yield.

[0059] The drive approach of the liquid crystal display invention concerning claim 9 By inputting the start pulse whose pulse width is $(2 \times M \times T)$, being the drive approach of a liquid crystal display according

to claim 1, and using a scanning-line selection period as T in the scanning circuit in said vertical-drive circuit, in order to solve the above-mentioned technical problem Each signal which was made to generate the signal in which the period carried out the half period part sequential shift using the clock signal which is $(2 \times M \times T)$, respectively, next carried out [above-mentioned] the half period part sequential shift, It inputs into the 1st control terminal and the 2nd control terminal in the 1st logic-gate circuit, respectively. the 2nd control signal of M class with which a period is $(M \times T)$ and outputs the pulse of pulse width (T) — every — Two pulses which each pulse width is (T) and the phase separated from the 1st logic-gate circuit mutually $(M-1) \times T$ are generated [next]. these every — with the two above-mentioned pulses The signal of pulse width (T) is made to output from the 2nd logic-gate circuit. two kinds of every which consists of forward and reverse pulses of a period $(2 \times M \times T)$ and pulse width $(M \times T)$ — either of the 3rd control signal — the 2nd logic-gate circuit — respectively — inputting — these every — It is characterized by inputting the signal of the above-mentioned pulse width (T) into a sequential-scanning line.

[0060] According to the above-mentioned invention, if a start pulse is inputted into the scanning circuit of N stage in a vertical-drive circuit, the pulse signal by which the half period [every] sequential shift of the clock signal whose period is $(2 \times M \times T)$ was carried out from each scanning circuit will be outputted to it, respectively.

[0061] these pulse signals — every of the 1st logic-gate circuit of an individual $(N \times M)$ — it is inputted into the 1st control terminal.

[0062] here — the 1st logic-gate circuit of $(N \times M)$ — every M individual — every — since common connection of the 1st control terminal is made, the pulse signal from each above-mentioned scanning circuit is inputted into the 1st M logic-gate circuit, respectively.

[0063] moreover, every — the 2nd control signal of M class is inputted into the 1st logic-gate circuit every individual $(M-1)$ from the 2nd control terminal as other inputs, respectively. A period is $(M \times T)$ and each 2nd control signal consists of a pulse of pulse width (T) .

[0064] this — above-mentioned every — the 1st logic-gate circuit generates two pulses which pulse width is (T) and the phase left mutually $(M-1) \times T$.

[0065] next, two kinds of every which consists of forward and reverse pulses of the two above-mentioned pulses, periods $(2 \times M \times T)$, and pulse width $(M \times T)$ — if either of the 3rd control signal is inputted into the 2nd logic-gate circuit, respectively — every — the signal of pulse width (T) is outputted from the 2nd logic-gate circuit.

[0066] Therefore, by inputting the signal of these pulse width (T) into a sequential-scanning line, combining the signal from the signal line of said level drive circuit, ON/OFF of the switching element of a active-matrix array can be carried out, and the screen of a liquid crystal display can be displayed.

[0067] That is, since the signal with which classes differ every individual $(2 \times M-1)$ was inputted into the 1st logic-gate circuit when it was the former, the control line inputted into the 1st logic-gate circuit was [individual] necessary at least $(2 \times M)$. For this reason, while the control lines inputted into a vertical-drive circuit increased in number and the area of an input pad became large, there was a trouble that wiring for a number of this control line still needed to be taken about, and an area required for the layout of a circuit became large.

[0068] however, every [in / at this invention / the 1st logic-gate circuit] — common connection of the 2nd control terminal was made every individual $(M-1)$. For this reason, the class of 2nd control terminal becomes M pieces, and serves as half [conventional].

[0069] Moreover, since wiring is distributed by the 1st logic-gate circuit and the 2nd logic-gate circuit, it can prevent that the control line focuses.

[0070] Consequently, there are few driving signals for operating a liquid crystal display, and they can offer the drive approach of a liquid crystal display that improvement in a yield can be realized.

[0071] The drive approach of the liquid crystal display invention concerning claim 10 By inputting the

start pulse whose pulse width is $(2 \times M \times T)$, being the drive approach of a liquid crystal display according to claim 2, and using a scanning-line selection period as T in the scanning circuit in said vertical-drive circuit, in order to solve the above-mentioned technical problem The signal in which the period carried out the half period part sequential shift using the clock signal which is $(2 \times M \times T)$ is generated, respectively. The signal which carried out [above-mentioned] the half period part sequential shift is inputted into a pulse width compaction means, and the pulse of pulse width $(M \times T)$ is generated, respectively. Next, the output from the above-mentioned pulse width compaction means, It inputs into the 1st control terminal and the 2nd control terminal in the 6th logic-gate circuit, respectively. the 2nd control signal of M class with which a period is $(M \times T)$ and outputs the pulse of pulse width (T) — every — these every — each pulse width generates the signal of (T) from the 3rd logic-gate circuit, and it is characterized by inputting the signal of the above-mentioned pulse width (T) into a sequential-scanning line.

[0072] According to the above-mentioned invention, if a start pulse is inputted into the scanning circuit of N stage in a vertical-drive circuit, the pulse signal by which the half period [every] sequential shift of the clock signal whose period is $(2 \times M \times T)$ was carried out from each scanning circuit will be outputted to it, respectively.

[0073] These pulse signals are inputted into a pulse width compaction means, with this pulse width compaction means, make pulse width of an output pulse small, and generate the pulse of pulse width $(M \times T)$, respectively.

[0074] the output of these pulse width compaction means — every of the 3rd logic-gate circuit of an individual $(N \times M)$ — it is inputted into the 1st control terminal.

[0075] here — the 3rd logic-gate circuit of $(N \times M)$ — every M individual — every — since common connection of the 1st control terminal is made, the pulse signal from each above-mentioned pulse width compaction means is inputted into the 3rd M logic-gate circuit, respectively.

[0076] moreover, every — the 2nd control signal of M class is inputted into the 3rd logic-gate circuit every individual $(M-1)$ from the 2nd control terminal as other inputs, respectively. A period is $(M \times T)$ and each 2nd control signal consists of a pulse of pulse width (T) .

[0077] this — above-mentioned every — the signal of pulse width (T) is outputted from the 3rd logic-gate circuit.

[0078] Therefore, by inputting the signal of these pulse width (T) into a sequential-scanning line, combining the signal from the signal line of said level drive circuit, ON/OFF of the switching element of a active-matrix array can be carried out, and the screen of a liquid crystal display can be displayed.

[0079] That is, since the signal with which classes differ every individual $(2 \times M-1)$ was inputted into the 3rd logic-gate circuit when it was the former, the control line inputted into the 3rd logic-gate circuit was [individual] necessary at least $(2 \times M)$. For this reason, while the control lines inputted into a vertical-drive circuit increased in number and the area of an input pad became large, there was a trouble that wiring for a number of this control line still needed to be taken about, and an area required for the layout of a circuit became large.

[0080] however, every [in / by having established a pulse width compaction means to have made small pulse width of the output pulse of each scanning circuit, and to output it in this invention / the 3rd logic-gate circuit] — it becomes possible to make common connection of the 2nd control terminal every individual $(M-1)$. Therefore, the class of 2nd control terminal becomes M pieces, and serves as half [conventional].

[0081] Moreover, since wiring is distributed by each pulse width compaction means and the 3rd logic-gate circuit, it can prevent that the control line focuses.

[0082] Consequently, there are few driving signals for operating a liquid crystal display, and they can offer the drive approach of a liquid crystal display that improvement in a yield can be realized.

[0083] The drive approach of the liquid crystal display invention concerning claim 11 By inputting the

start pulse whose pulse width is ($M \times T$), being the drive approach of a liquid crystal display according to claim 8, and using a scanning-line selection period as T in the scanning circuit in said vertical-drive circuit, in order to solve the above-mentioned technical problem. The signal in which the period carried out the half period part sequential shift using the clock signal which is ($M \times T$) is generated, respectively. Next, each output signal which carried out the sequential shift by one period taken out from the scanning circuit of the above-mentioned $2 \times N$ stage to every other step, It inputs into the 1st control terminal and the 2nd control terminal in the 6th logic-gate circuit, respectively. the 2nd control signal of M class with which a period is ($M \times T$) and outputs the pulse of pulse width (T) — every — these every — — each pulse width generates the signal of (T) from the 6th logic-gate circuit, and it is characterized by inputting the signal of the above-mentioned pulse width (T) into a sequential-scanning line.

[0084] According to the above-mentioned invention, if the start pulse of ($M \times T$) is inputted into the scanning circuit of the $2 \times N$ stage in a vertical-drive circuit for pulse width, the pulse signal by which the half period [every] sequential shift of the clock signal whose period is ($M \times T$) was carried out from each scanning circuit will be outputted to it, respectively. Therefore, the output signal taken out from the scanning circuit of the above-mentioned $2 \times N$ stage to every other step becomes what carried out the sequential shift by one period, respectively.

[0085] these pulse signals — every of the 6th logic-gate circuit of an individual ($N \times M$) — it is inputted into the 1st control terminal.

[0086] here — the 6th logic-gate circuit of ($N \times M$) — every M individual — every — since common connection of the 1st control terminal is made, the pulse signal from the scanning circuit in above-mentioned every other step is inputted into the 6th M logic-gate circuit, respectively.

[0087] moreover, every — the 2nd control signal of M class is inputted into the 6th logic-gate circuit every individual ($M-1$) from the 2nd control terminal as other inputs, respectively. A period is ($M \times T$) and each 2nd control signal consists of a pulse of pulse width (T).

[0088] this — above-mentioned every — the signal of pulse width (T) is outputted from the 6th logic-gate circuit.

[0089] Therefore, by inputting the signal of these pulse width (T) into a sequential-scanning line, combining the signal from the signal line of said level drive circuit, ON/OFF of the switching element of a active-matrix array can be carried out, and the screen of a liquid crystal display can be displayed.

[0090] That is, since the signal with which classes differ every individual ($2 \times M-1$) was inputted into the 6th logic-gate circuit when it was the former, the control line inputted into the 6th logic-gate circuit was [individual] necessary at least ($2 \times M$). For this reason, while the control lines inputted into a vertical-drive circuit increased in number and the area of an input pad became large, there was a trouble that wiring for a number of this control line still needed to be taken about, and an area required for the layout of a circuit became large.

[0091] However, in this invention, the sequential shift of each output signal is carried out by one period by inputting a start pulse, respectively by establishing the scanning circuit which a clock signal carries out a half period [every] sequential shift, and outputs a pulse signal in a $2 \times N$ stage (N being a positive integer), and performing ejection of the output signal every other [in the scanning circuit of a $2 \times N$ stage] step: consequently, every in the 6th logic-gate circuit — it becomes possible to make common connection of the 2nd control terminal every individual ($M-1$). Therefore, the class of 2nd control terminal becomes M pieces, and serves as half [conventional].

[0092] Therefore, there are few driving signals for operating a liquid crystal display, and they can offer the drive approach of a liquid crystal display that improvement in a yield can be realized.

[0093] The drive approach of the liquid crystal display invention concerning claim 12 In order to solve the above-mentioned technical problem, are the drive approach of a liquid crystal display according to claim 1, and a scanning-line selection period is set to T in the scanning circuit in said vertical-drive circuit. The signal which inputted the start pulse whose pulse width is ($M \times T$), and was made to generate

the signal which carried out the half period part sequential shift using the clock signal whose period is $(M \times T)$, respectively, next carried out [above-mentioned] the half period part sequential shift, A period inputs the control signal of $((M/2) \times T)$ into the control terminal of an individual among M kinds of control terminals $(M/2)$ in the 1st logic-gate circuit. Two pulses which pulse width left by $(T) (x(-(M/2) 1) T)$ are generated from the 1st logic-gate circuit. the two above-mentioned pulses and the 3rd control signal whose period is $(M \times T)$ — the 2nd logic-gate circuit — inputting — the signal of pulse width (T) — this — it is made to output from the 2nd logic-gate circuit, and is characterized by carrying out the sequential input of the signal of the above-mentioned pulse width (T) every one scanning line.

[0094] According to the above-mentioned invention, the class of 2nd control terminal becomes M pieces, and serves as half [conventional]. Therefore, there are few driving signals for operating a liquid crystal display, and they can offer the drive approach of a liquid crystal display that improvement in a yield can be realized.

[0095] Moreover, the sequential input of the signal of pulse width (T) is carried out every one scanning line. For this reason, interlace scanning which carries out a sequential input every one scanning line can be performed using a liquid crystal display according to claim 1.

[0096] The drive approach of the liquid crystal display invention concerning claim 13 In order to solve the above-mentioned technical problem, are the drive approach of a liquid crystal display according to claim 1, and a scanning-line selection period is set to T in the scanning circuit in said vertical-drive circuit. The signal which inputted the start pulse whose pulse width is $(M \times T)$, and was made to generate the signal which carried out the half period part sequential shift using the clock signal whose period is $(M \times T)$, respectively, next carried out [above-mentioned] the half period part sequential shift, $M/2$ kind of control signals whose periods are $((M/2) \times T)$ are inputted into M kinds of control terminals in the 1st logic-gate circuit. Two pulses which pulse width left by $(T) (x(-(M/2) 1) T)$ are generated from the 1st logic-gate circuit. the two above-mentioned pulses and the 3rd control signal which is a period $(M \times T)$ — the 2nd logic-gate circuit — inputting — the signal of pulse width (T) — this — it is made to output from the 2nd logic-gate circuit, and is characterized by carrying out the two scanning lines at a time the sequential input of the signal of the above-mentioned pulse width (T) .

[0097] According to the above-mentioned invention, the class of 2nd control terminal becomes M pieces, and serves as half [conventional]. Therefore, there are few driving signals for operating a liquid crystal display, and they can offer the drive approach of a liquid crystal display that improvement in a yield can be realized.

[0098] Moreover, it carries out the two scanning lines at a time the sequential input of the signal of pulse width (T) . For this reason, 2 coincidence scan which carries out a sequential input the two scanning lines at a time can be performed using a liquid crystal display according to claim 1.

[0099] The drive approach of the liquid crystal display invention concerning claim 14 In order to solve the above-mentioned technical problem, are the drive approach of a liquid crystal display according to claim 2, and a scanning-line selection period is set to T in the scanning circuit in said vertical-drive circuit. Input the start pulse whose pulse width is $(M \times T)$, and the signal which carried out the half period part sequential shift using the clock signal whose period is $(M \times T)$ is generated, respectively. The signal which carried out [above-mentioned] the half period part sequential shift is inputted into a pulse width compaction means, and the pulse of pulse width $(M \times T/2)$ is generated, respectively. Next, the output from the above-mentioned pulse width compaction means, It inputs into the 1st control terminal and the 2nd control terminal in the 3rd logic-gate circuit, respectively. the control signal whose period is $(M \times T/2)$ among the control terminals of M book $(M/2)$ at the control terminal of a book — every — the signal of pulse width (T) — this — it is made to output from the 3rd logic-gate circuit, and is characterized by carrying out the sequential input of the signal of the above-mentioned pulse width (T) every one scanning line.

[0100] According to the above-mentioned invention, the class of 2nd control terminal becomes M pieces,

and serves as half [conventional]. Therefore, there are few driving signals for operating a liquid crystal display, and they can offer the drive approach of a liquid crystal display that improvement in a yield can be realized.

[0101] Moreover, the sequential input of the signal of pulse width (T) is carried out every one scanning line. For this reason, interlace scanning which carries out a sequential input every one scanning line can be performed using a liquid crystal display according to claim 2.

[0102] The drive approach of the liquid crystal display invention concerning claim 15 In order to solve the above-mentioned technical problem, are the drive approach of a liquid crystal display according to claim 2, and a scanning-line selection period is set to T in the scanning circuit in said vertical-drive circuit. Input the start pulse whose pulse width is (MxT), and the signal which carried out the half period part sequential shift using the clock signal whose period is (MxT) is generated, respectively. The signal which carried out [above-mentioned] the half period part sequential shift is inputted into a pulse width compaction means, and the pulse of pulse width (MxT/2) is generated, respectively. Next, the output from the above-mentioned pulse width compaction means, It inputs into the 1st control terminal and the 2nd control terminal in the 3rd logic-gate circuit, respectively. the control signal which is M/2 kind whose period is (MxT/2) at the control terminal of M book — every — the signal of pulse width (T) — this — it is made to output from the 3rd logic-gate circuit, and is characterized by carrying out the two scanning lines at a time the sequential input of the signal of the above-mentioned pulse width (T).

[0103] According to the above-mentioned invention, the class of 2nd control terminal becomes M pieces, and serves as half [conventional]. Therefore, there are few driving signals for operating a liquid crystal display, and they can offer the drive approach of a liquid crystal display that improvement in a yield can be realized.

[0104] Moreover, it carries out the two scanning lines at a time the sequential input of the signal of pulse width (T). For this reason, 2 coincidence scan which carries out a sequential input the two scanning lines at a time can be performed using a liquid crystal display according to claim 2.

[0105] The drive approach of the liquid crystal display invention concerning claim 16 In order to solve the above-mentioned technical problem, are the drive approach of a liquid crystal display according to claim 8, and a scanning-line selection period is set to T in the scanning circuit in said vertical-drive circuit. Input the start pulse whose pulse width is (MxT), and the signal which carried out the half period part sequential shift using the clock signal whose period is (MxT) is generated, respectively. Next, each output signal which carried out the sequential shift by one period taken out from the scanning circuit of the above-mentioned 2xN stage to every other step, It inputs into the 1st control terminal and the 2nd control terminal in the 6th logic-gate circuit, respectively. the control signal whose period is (MxT/2) among the control terminals of M book (M/2) at the control terminal of a book — every — the signal of pulse width (T) — this — it is made to output from the 6th logic-gate circuit, and is characterized by carrying out the sequential input of the signal of the above-mentioned pulse width (T) every one scanning line.

[0106] According to the above-mentioned invention, the class of 2nd control terminal becomes M pieces, and serves as half [conventional]. Therefore, there are few driving signals for operating a liquid crystal display, and they can offer the drive approach of a liquid crystal display that improvement in a yield can be realized.

[0107] Moreover, the sequential input of the signal of pulse width (T) is carried out every one scanning line. For this reason, interlace scanning which carries out a sequential input every one scanning line can be performed using a liquid crystal display according to claim 8.

[0108] The drive approach of the liquid crystal display invention concerning claim 17 In order to solve the above-mentioned technical problem, are the drive approach of a liquid crystal display according to claim 8, and a scanning-line selection period is set to T in the scanning circuit in said vertical-drive circuit. Input the start pulse whose pulse width is (MxT), and the signal which carried out the half period

part sequential shift using the clock signal whose period is $(M \times T)$ is generated, respectively. Next, each output signal which carried out the sequential shift by one period taken out from the scanning circuit of the above-mentioned $2 \times N$ stage to every other step, It inputs into the 1st control terminal and the 2nd control terminal in the 6th logic-gate circuit, respectively. the control signal which is $M/2$ kind whose period is $(M \times T/2)$ at the control terminal of M book — every — the signal of pulse width (T) — this — it is made to output from the 6th logic-gate circuit, and is characterized by carrying out the two scanning lines at a time the sequential input of the signal of the above-mentioned pulse width (T).

[0109] According to the above-mentioned invention, the class of 2nd control terminal becomes M pieces, and serves as half [conventional]. Therefore, there are few driving signals for operating a liquid crystal display, and they can offer the drive approach of a liquid crystal display that improvement in a yield can be realized.

[0110] Moreover, it carries out the two scanning lines at a time the sequential input of the signal of pulse width (T). For this reason, 2 coincidence scan which carries out a sequential input the two scanning lines at a time can be performed using a liquid crystal display according to claim 8.

[0111]

[Embodiment of the Invention] [Gestalt 1 of operation] It will be as follows if one gestalt of operation of this invention is explained based on drawing 1 thru/or drawing 3.

[0112] The liquid crystal display of the gestalt of this operation is a liquid crystal display of a active-matrix mold, and as shown in drawing 3, it consists of a active-matrix array 1 constituted by arranging the thin film transistor as a switching element at the intersection of the scanning line and a signal line, a level drive circuit 2 which drives a signal line, and a vertical-drive circuit 10 which drives the scanning line. In addition, the number of the scanning lines is made into 1024 in this liquid crystal display. However, it does not necessarily restrict to this number.

[0113] The scanning circuit of the half bit pattern which carries out the half-pulse [every] sequential shift of the start pulse STa per step synchronizing with a clock signal CLK as the vertical-drive circuit 10 of the above-mentioned liquid crystal display is shown in drawing 1 11-1 to 11-257, (It is hereafter called a "half bit pattern scanning circuit") Each output signal P1 of these half bit pattern scanning circuit 11-1 to 11-257, P2, P3 — The AND-gate circuit 12-1 to 12-1024 as 1st logic-gate circuit where P256 is inputted, The output GPP1 of each [these] AND-gate circuit 12-1 to 12-1024, GPP2 — The NAND gate circuit 13-1 to 13-1024 which constitutes the 2nd logic-gate circuit where GPP1024 is inputted, The output signal of the above-mentioned NAND gate circuit 13-1 to 13-1024 is inputted, and they are an output signal GP1 and GP2. — It consists of each output-buffer circuit 14 — which outputs GP1024, in addition — the gestalt of this operation — the combination of each above-mentioned NAND gate circuit 13-1 to 13-1024, and each above-mentioned output-buffer circuit 14 — every — the 2nd logic-gate circuit is constituted.

[0114] The above-mentioned half bit pattern scanning circuit 11-1 to 11-257 consists of what added one step to 256 steps as an N stage (N is a positive integer). One step of this last half bit pattern scanning circuit 11-257 is what has a function as a terminating set, and taking out this output is not performed.

[0115] A start-pulse STa , a clock signal CLK, its reversal-clock signal \overline{CLK} is inputted into the above-mentioned half bit pattern scanning circuit 11-1.

[0116] On the other hand, the 1st control terminal and the 2nd control terminal are prepared in each of the above-mentioned AND-gate circuit 12-1 to 12-1024 as a terminal for an input.

[0117] every — while common connection of the 1st control terminal is made every [as an M individual (M is two or more integers)] four pieces, that by which common connection was made every four pieces of these is connected to each output terminal of the above-mentioned half bit pattern scanning circuit 11-1 to 11-256. Consequently, in the AND-gate circuit 12-1 to 12-1024, it is the output signal P1 from the AND-gate circuit 12-1 to 12-1024, and P2 every four pieces. — P256 is inputted into the 1st

control terminal.

[0118] Moreover, the AND-gate circuit 12-1 to 12-1024 is the $256 \times 4 = 1024$ piece as an individual (NxM). By this, several 1024 of the above-mentioned scanning lines are supported.

[0119] furthermore, every in the above-mentioned AND-gate circuit 12-1 to 12-1024 — the sequential input of the 2nd control signal G1, G2 and G3 inputted into the 2nd control terminal from the outside, and G4 is carried out.

[0120] namely, every in each AND-gate circuit 12-1 to 12-1024 — for the 2nd control terminal generally, the signal of M class inputs every individual (M-1) — having — coming — **** — the gestalt of this operation — as M individual — for example, four pieces — becoming — **** — every [as every individual (M-1)] three pieces — above-mentioned every — the 2nd control signal G1, G2 and G3, and G4 are inputted. moreover, these every — the 2nd control signal G1 comrades and every — the 2nd control signal G2 and every — 2nd control signal G3 and every — common connection of the 2nd control signal G4 comrades is made mutually.

[0121] on the other hand — each above-mentioned NAND gate circuit 13-1 to 13-1024 — above-mentioned AND-gate circuit 12-1-12 — while output signal GPP1 and GPP2 — GPP1024 of -1024 are inputted, the 3rd control signal PP1 and either of PP(s)2 are inputted.

[0122] With the gestalt of this operation, the 3rd control signal PP1 of the above and PP2 are inputted by turns every four pieces to the NAND gate circuit 13-1 to 13-1024. That is, the 3rd control signal PP1 is inputted into the first four NAND gate circuits 13-1 to 13-4, and the 3rd control signal PP2 is inputted into the following four NAND gate circuits 13-5 to 13-8. Moreover, the 3rd control signal PP1 is inputted into the following four NAND gate circuits 13-9 to 13-12, and the 3rd control signal PP2 is further inputted into the following four NAND gate circuits 13-13 to 13-16. The 3rd control signal PP1 and PP2 are inputted by turns every four pieces like the following.

[0123] It is reversed in the output-buffer circuit 14, and each output signal of the above-mentioned NAND gate circuit 13-1 to 13-1024 is an output signal GP1 and GP2. — It is inputted into each scanning line as GP1024.

[0124] That is, the description of this vertical-drive circuit 10 is by combining the AND-gate circuit 12-1 to 12-1024, and the NAND gate circuit 13-1 to 13-1024 for the NAND gate circuit 105-1 to 105-1024 shown in said drawing 20 as compared with the conventional example to make the number of the control signal of the AND-gate circuit 12-1 to 12-1024 HE into one half. In addition, in the gestalt of this operation, although it is used combining the AND-gate circuit 12-1 to 12-1024, and the NAND gate circuit 13-1 to 13-1024, it is not necessarily possible not only this but to use it combining these circuits and the circuit which has the same function. For example, the reversed pulse which was made to output from the half bit pattern scanning circuit 11-1 to 11-256 and the reversed control signal may be inputted into a NOR-gate circuit. Such an approach is the same also about the gestalt of other operations mentioned later.

[0125] The timing chart at the time of performing sequential scanning which shows the drive approach in the liquid crystal display of the above-mentioned configuration to drawing 2 explains. In addition, the above-mentioned sequential scanning means odd lines or the method scanned in order regardless of even lines.

[0126] First, the clock signal CLK the start pulse STa whose pulse width is (8T), and whose period are (8T), and its reversal clock signal / CLK is inputted into said half bit pattern scanning circuit 11-1 to 11-257 by making T into a scanning-line selection period. Thereby, outputs P1-P256 occur from the half bit pattern scanning circuit 11-1 to 11-257.

[0127] At this time, as a control signal inputted into the AND-gate circuit 12-1 to 12-1024, as shown in this drawing, with the gestalt of this operation, four signals of the 2nd control signal G1-G4 are used. Therefore, the number of this control signal is one half of conventional numbers.

[0128] In addition, in the gestalt of this operation, although the pulse of the 2nd control signal G1-G4

has occurred also in the blanking period immediately after a video-signal write-in period as shown in this drawing, it is not necessary to not necessarily generate a pulse not only at this but at a blanking period. [0129] Then, in the outputs GPP1-GPP1024 of these AND-gates circuit 12-1 to 12-1024, two output pulses shown in this drawing appear. These two output pulses input into the NAND gate circuit 13-1 to 13-1024. While the 3rd control signal PP1 is inputted into the NAND gate circuit 13-1 to 13-4-13-9 of half bit pattern scanning circuit 11-1, 11-3, and 11-5 — of an odd level eye which the output has connected — 13-12 — in that case The 3rd control signal PP2 is inputted into the NAND gate circuit 13-5 to 13-8-13-13 of half bit pattern scanning circuit 11-2, 11-4, and 11-6 — of an even level eye which the output has connected — 13-16 —.

[0130] What is necessary is just to use a reversal clock signal / CLK as the 3rd control signal PP2 that what is necessary is just to use the clock signal CLK inputted into the half bit pattern scanning circuit 11-1 to 11-257 as the 3rd above-mentioned control signal PP1. For this reason, there is also no need of there being no need of creating a new control signal, and newly creating the signal input terminal from the outside.

[0131] In this way, the pulse width of GP1-GP1024 is (T) as an output signal from the output and the output-buffer circuit 14 from the NAND gate circuit 13-1 to 13-1024, the pulse the phase carried out [the pulse] (T) sequential shift occurs, and, thereby, the scanning line can be scanned sequentially. [every]

[0132] Each output signal GP1 from these vertical-drives circuit 10, GP2 — By the signal of GP1024 and each signal line from said level drive circuit 2, an ON/OFF signal is supplied to each thin film transistor which has arranged and was prepared in the intersection of the scanning line and the signal line in the active-matrix array 1, and the screen of a liquid crystal display is displayed for every pixel.

[0133] Consequently, since the number of control signals is reducible, a miniaturization and low-cost-izing of a liquid crystal display can be attained.

[0134] Thus, the output signal P1, P2, P3 which are the pulse signal by which the half period [every] sequential shift of the clock signal CLK whose period is $(2 \times 4 \times T)$ was carried out from each half bit pattern scanning circuit 11-1 to 11-257 by the liquid crystal display and its drive approach of a gestalt of this operation when the start pulse STa was inputted into 256 steps of half bit pattern scanning circuits 11-1 to 11-257 in the vertical-drive circuit 10 — P256 is outputted, respectively.

[0135] these pulse signals — every of the AND-gate circuit 12-1 to 12-1024 of an individual (256×4) — it is inputted into the 1st control terminal.

[0136] here — the AND-gate circuit 12-1 to 12-1024 of (256×4) — every four pieces — every — since common connection of the 1st control terminal is made — the pulse signal from each above-mentioned half bit pattern scanning circuit 11-1 to 11-257 — respectively — 12-4 and [four AND-gate circuits 12-1 -] 12-5- 12-8—12 — it is inputted into —1021 to 12-1024.

[0137] Moreover, four kinds of 2nd control signal G1-G4 is inputted into each AND-gate circuit 12-1 to 12-1024 every three pieces from the 2nd control terminal as other inputs, respectively. A period is $(4 \times T)$ and each 2nd control signal G1-G4 consists of a pulse of pulse width (T).

[0138] By this, each above-mentioned AND-gate circuit 12-1 to 12-1024 generates two pulses which pulse width is (T) and the phase left mutually $(4-1) \times T$.

[0139] next, two kinds of every which consists of forward and reverse pulses of the two above-mentioned pulses, periods $(2 \times 4 \times T)$, and pulse width $(4 \times T)$ — if either the 3rd control signal PP1 or PP(s)2 are inputted into the NAND gate circuit 13-1 to 13-1024, respectively, the signal of pulse width (T) will be outputted from each NAND gate circuit 13-1 to 13-1024, and output-buffer circuit 14 —.

[0140] Therefore, by inputting the signal of these pulse width (T) into a sequential-scanning line, combining the signal from the signal line of the level drive circuit 2, ON/OFF of the thin film transistor of the active-matrix array 1 can be carried out, and the screen of a liquid crystal display can be displayed.

[0141] That is, since the signal with which classes differ every individual $(2 \times 4 - 1 = 7)$ was inputted into the

NAND gate circuit 105-1 to 105-1024 (refer to drawing 20) when it was the former, the control line inputted into the NAND gate circuit 105-1 to 105-1024 was [individual] necessary at least (2x4). For this reason, while the control lines inputted into the vertical-drive circuit 10 increased in number and the area of an input pad became large, there was a trouble that wiring for a number of this control line still needed to be taken about, and an area required for the layout of a circuit became large.

[0142] With the gestalt of this operation, however, the control signal inputted into the vertical-drive circuit 10 The start pulse STa, the clock signal CLK and the reversal clock signal / CLK inputted into the first scanning circuit half bit pattern scanning circuit 11-1, It is set to four kinds of 2nd control signal G1-G4 inputted into the 256x4=1024 piece AND-gate circuit 12-1 to 12-1024, two kinds of 3rd control signal PP1 inputted into the NAND gate circuit 13-1 to 13-1024, and PP2. namely, every in the AND-gate circuit 12-1 to 12-1024 — common connection of the 2nd control terminal was made every individual (4-1=3).

[0143] For this reason, the class of 2nd control terminal becomes four pieces, and serves as half [conventional].

[0144] Moreover, since wiring is distributed by the AND-gate circuit 12-1 to 12-1024, and the NAND gate circuit 13-1 to 13-1024, it can prevent that the control line focuses.

[0145] That is, since area of the vertical-drive circuit 10 and an input pad can be made small by reducing the number of control terminals, in the case of several so-called multi-sheet picking which picks out two or more liquid crystal displays from one glass substrate, the number of riding to a substrate can increase, and the number of excellent article panels can be made to increase to it.

[0146] Moreover, the frame field of the display circumference of a liquid crystal display becomes small, and it becomes easy to perform inclusion in a personal computer etc. because the area of the vertical-drive circuit 10 and an input pad becomes small.

[0147] Furthermore, as the output for one step in the half bit pattern scanning circuit 11-1 to 11-256 is inputted into four AND-gate circuits 12-1 to 12-4-12-5 to 12-8-12-1021 to 12-1024, respectively By making the number of inputs to the AND-gate circuit 12-1 to 12-1024 from one step in the half bit pattern scanning circuit 11-1 to 11-256 increase Although it is difficult to arrange 1024 steps of scanning circuits in the pitch of the small pixel in an especially high definition liquid crystal display since the number of stages of the half bit pattern scanning circuit 11-1 to 11-256 can be reduced rather than several 1024 of the required scanning lines In the gestalt of this operation, a layout becomes easy.

[0148] Especially, with the gestalt of this operation, as M= 4, since the number of inputs to the AND-gate circuit 12-1 to 12-1024 is made to be set to 4, it can arrange easily with the pitch for 4 pixels by the ability arranging the half bit pattern scanning circuit 11-1 to 11-256.

[0149] Consequently, there are few driving signals for operating a liquid crystal display, and they can offer the liquid crystal display which can realize improvement in a yield.

[0150] Moreover, with the gestalt of this operation, the 3rd control signal PP1 and PP2 are using a clock signal CLK and a reversal clock signal / CLK. For this reason, it becomes unnecessary to input the 3rd control signal PP1 and the control line new as PP2 into the vertical-drive circuit 10.

[0151] Consequently, although there was a trouble that wiring for a number of this control line still needed to be taken about, and an area required for the layout of a circuit became large while the control lines inputted into the vertical-drive circuit 10 increased in number and the area of an input pad became large, when it was the former, this can be prevented by using the established control line.

[0152] Therefore, there are few driving signals for operating a liquid crystal display, and they can offer the liquid crystal display which can realize improvement in a yield, and its drive approach.

[0153] [Gestalt 2 of operation] It will be as follows if the gestalt of other operations of this invention is explained based on drawing 4 and drawing 5 . In addition, for convenience, about the member of explanation shown in the drawing of the gestalt 1 of the aforementioned operation, and the member which has the same function, the same sign is attached and the explanation is omitted.

[0154] The vertical-drive circuit 20 of the liquid crystal display of the gestalt of this operation The half bit pattern scanning circuit 11-P-11-1 to 11-257 which carries out the half-pulse [every] sequential shift of the start pulse STa per step synchronizing with a clock signal CLK as shown in drawing 4 ; The half bit pattern scanning circuit 11-P, each output signal Q1 of 11-1 to 11-256, P1, P2, P3 — P256, These adjacent output signals Q1, and P1, P1, P2, — and the AND-gate circuit 21-1-21-2 to 21-256 as 4th logic-gate circuit which makes P255 and P256 an input signal, The output signal GPP1 from these AND-gates circuit 21-1-21-2 to 21-256, GPP2 — The NAND gate circuit 15-1 to 15-1024 which constitutes the 3rd logic-gate circuit which makes an input signal GPP256, the 2nd control signal G1, G2 and G3, and G4, It consists of output-buffer circuits 14 which make an input signal the output signal of these NAND gate circuit 15-1 to 15-1024.

[0155] In addition, at the gestalt of this operation, they are the NAND gate circuit 15-1 to 15-1024, and the output-buffer circuit 14. — The 3rd logic-gate circuit is constituted by combination.

[0156] Moreover, it has achieved by constituting the function as a pulse width compaction means to make small pulse width of the output pulse of each half bit pattern scanning circuit 11-1 to 11-257, and to output it from an AND-gate circuit 21-1-21-2 to 21-256 where the adjacent output pulse in 256 steps of half bit pattern scanning circuits 11-1 to 11-257 is inputted.

[0157] The description of this circuit is as compared with the conventional example by forming the AND-gate circuit 21-1-21-2 to 21-256 between the half bit pattern scanning circuit 11-P-11-1 to 11-257, and the NAND gate circuit 15-1 to 15-1024 to make the number of the 2nd control signal G1-G4 of the NAND gate circuit 15-1 — 15-1024 HE into one half.

[0158] Moreover, the output signal from the adjacent half bit pattern scanning circuit 11-P-11-1 to 11-257 is inputted into the AND-gate circuit 21-1-21-2 to 21-256. Since 256 output signals from these AND-gates circuit 21-1-21-2 to 21-256 are required, scanning circuit 11-P of one more step of reserve has been prepared in the preceding paragraph of the half bit pattern scanning circuit 11-1. In addition, scanning circuit 11-P of this reserve may be prepared in the latter part of 11-257.

[0159] The timing chart at the time of performing sequential scanning which shows the drive approach in the liquid crystal display of the above-mentioned configuration to drawing 5 explains.

[0160] First, the clock signal CLK the start pulse STa whose pulse width is (8T), and whose period are (8T) and the reversal clock signal which is the reversal signal / CLK is inputted by making T into a scanning-line selection period in said half bit pattern scanning circuit 11-P-11-1 to 11-257.

[0161] Thereby, the output Q1 from the half bit pattern scanning circuit 11-P-11-1 to 11-257, and P1-P256 occur. Then, the output Q1 from the adjacent half bit pattern scanning circuit 11-P-11-1 to 11-257, and P1, P1, P2, —, P255 and P256 input into the AND-gate circuit 21-1-21-2 to 21-256. From these AND-gates circuit 21-1-21-2 to 21-256, GPP1 which is the output pulse width of face (4T) of the one half of the output pulse from the half bit pattern scanning circuit 11-P-11-1 to 11-257, and GPP2-GPP256 are outputted.

[0162] Next, although these outputs GPP1-GPP256 input into the NAND gate circuit 15-1 to 15-1024, four signals of the 2nd control signal G1-G4 shown in this drawing are used as a control signal of these NAND gate circuit 15-1 to 15-1024, and let the numbers of a control signal be one half of conventional numbers.

[0163] In this way, the pulse width of GP1-GP1024 is (T) as an output signal from the output and the output-buffer circuit 14 from the NAND gate circuit 15-1 to 15-1024, the pulse the phase carried out [the pulse] (T) sequential shift occurs, and this scans the scanning line sequentially. [every]

[0164] Consequently, since the number of control signals is reducible, a miniaturization and low-cost-izing of a liquid crystal display can be attained.

[0165] Thus, the output signal Q1, P1, P2, P3 which are the pulse signal by which the half period [every] sequential shift of the clock signal CLK whose period is (2x4xT) was carried out from each half bit pattern scanning circuit 11-1 to 11-257 by the liquid crystal display and its drive approach of a

gestalt of this operation when the start pulse STa was inputted into 256 steps of half bit pattern scanning circuits 11-1 to 11-257 in the vertical-drive circuit 20 — P256 is outputted, respectively. [0166] These pulse signals are inputted into the AND-gate circuit 21-1-21-2 to 21-256 as a pulse width compaction means, make pulse width of an output pulse small, and generate the pulse of pulse width ($4 \times T$) in this AND-gate circuit 21-1-21-2 to 21-256, respectively.

[0167] the output of these AND-gates circuit 21-1-21-2 to 21-256 — every of the NAND gate circuit 15-1 to 15-1024 of an individual ($256 \times 4 = 1024$) — it is inputted into the 1st control terminal.

[0168] here — the NAND gate circuit 15-1 to 15-1024 of ($256 \times 4 = 1024$) — every four pieces — every — since common connection of the 1st control terminal is made — each above-mentioned AND-gate circuit 21-1 and 21 — the pulse signal from —two to 21-256 — respectively — 15-4 and [four NAND gate circuits 15-1 —] 15-5- 15-8—15 — it is inputted into —1021 to 15-1024.

[0169] Moreover, four kinds of 2nd control signal G1-G4 is inputted into each NAND gate circuit 15-1 to 15-1024 every individual ($4-1=3$) from the 2nd control terminal as other inputs, respectively. A period is ($4 \times T$) and each 2nd control signal G1-G4 consists of a pulse of pulse width (T).

[0170] The signal of pulse width (T) is outputted by this from each above-mentioned NAND gate circuit 15-1 to 15-1024, and output-buffer circuit 14 —.

[0171] Therefore, by inputting the signal of these pulse width (T) into a sequential-scanning line, combining the signal from the signal line of the level drive circuit 2, ON/OFF of the thin film transistor of the active-matrix array 1 can be carried out, and the screen of a liquid crystal display can be displayed.

[0172] That is, since the signal with which classes differ every individual ($2 \times 4 - 1 = 7$) was inputted into the NAND gate circuit 105-1 to 105-1024 (refer to drawing 20) when it was the former, the control line inputted into the NAND gate circuit 105-1 to 105-1024 was [individual] necessary at least ($2 \times 4 = 8$). For this reason, while the control lines inputted into the vertical-drive circuit 20 increased in number and the area of an input pad became large, there was a trouble that wiring for a number of this control line still needed to be taken about, and an area required for the layout of a circuit became large.

[0173] however, every [in / by having formed the AND-gate circuit 21-1-21-2 to 21-256 as a pulse width compaction means to make small pulse width of the output pulse of each half bit pattern scanning circuit 11-1 to 11-257, and to output it with the gestalt of this operation / the NAND gate circuit 15-1 to 15-1024] — it becomes possible to make common connection of the 2nd control terminal every individual ($4-1=3$). Therefore, the class of 2nd control terminal becomes four pieces, and serves as half [conventional].

[0174] Moreover, since wiring is distributed by each AND-gate circuit 21-1-21-2 to 21-256, and the NAND gate circuit 15-1 to 15-1024, it can prevent that the control line focuses.

[0175] Consequently, there are few driving signals for operating a liquid crystal display, and they can offer the liquid crystal display which can realize improvement in a yield, and its drive approach.

[0176] Moreover, it considers as a pulse width compaction means to make small pulse width of the output pulse of each half bit pattern scanning circuit 11-1 to 11-257, and to output it, and constitutes especially from a liquid crystal display in the gestalt of this operation in the AND-gate circuit 21-1-21-2 to 21-256 where the adjacent output pulse in 256 steps of half bit pattern scanning circuits 11-1 to 11-257 is inputted.

[0177] Consequently, certainly, there are few driving signals for operating a liquid crystal display, and they can offer the liquid crystal display which can realize improvement in a yield, and its drive approach.

[0178] [Gestalt 3 of operation] It will be as follows if the gestalt of other operations of this invention is explained based on drawing 6 and drawing 7. In addition, for convenience, about the member of explanation shown in the drawing of the gestalt 1 of the aforementioned operation, and the gestalt 2 of operation, and the member which has the same function, the same sign is attached and the explanation is omitted.

[0179] The vertical-drive circuit 30 of the liquid crystal display of the gestalt of this operation The half

bit pattern scanning circuit 11-1 to 11-257 which carries out the half-pulse [every] sequential shift of the start pulse STa per step synchronizing with a clock signal CLK as shown in drawing 6 , Each output signal P1 of the half bit pattern scanning circuit 11-1 to 11-257, P2; P3 — The pulse width compaction means which makes an input signal P256, the 4th control signal H1, and H2, and the AND-gate circuit 31-1-31-2 to 31-256 as 5th logic-gate circuit, The output signal PP1 from these AND-gates circuit 31-1-31-2 to 31-256, PP2 — The NAND gate circuit 15-1 to 15-1024 which makes an input signal PP256, the 2nd control signal G1, G2 and G3, and G4, It consists of output-buffer circuits 14 which make an input signal the output signal of these NAND gate circuit 15-1 to 15-1024.

[0180] The description of this circuit is by forming the AND-gate circuit 31-1-31-2 to 31-256 as compared with the conventional example to make the number of the control signal of the NAND gate circuit 15-1 – 15-1024 HE into one half.

[0181] The timing chart at the time of performing sequential scanning which shows the drive approach in the liquid crystal display of the above-mentioned configuration to drawing 7 explains.

[0182] First, the clock signal CLK the start pulse STa whose pulse width is (8T), and whose period are (8T) and the reversal clock signal which is the reversal signal / CLK is inputted by making T into a scanning-line selection period in said half bit pattern scanning circuit 11-1 to 11-257.

[0183] Thereby, the outputs P1-P256 from the half bit pattern scanning circuit 11-1 to 11-257 occur. Then, the outputs P1-P256 from the half bit pattern scanning circuit 11-1 to 11-257, the 4th control signal H1, and H2 are inputted into the AND-gate circuit 31-1-31-2 to 31-256. PP1, PP2 which are the output pulse width of face of the one half of the output pulse from the half bit pattern scanning circuit 11-1 to 11-257 from these AND-gates circuit 31-1-31-2 to 31-256 — PP256 is outputted.

[0184] Next, these [PP1] — Although PP256 is inputted into the NAND gate circuit 15-1 to 15-1024, four signals of the 2nd control signal G1-G4 shown in this drawing are used as a control signal of these NAND gate circuit 15-1 to 15-1024, and let the numbers of a control signal be one half of conventional numbers.

[0185] In this way, the pulse width of GP1-GP1024 is (T) as an output signal from the output and the output-buffer circuit 14 from the NAND gate circuit 15-1 to 15-1024, the pulse the phase carried out [the pulse] (T) sequential shift occurs, and this scans the scanning line sequentially. [every]

[0186] Consequently, since the number of control signals is reducible, a miniaturization and low-cost-izing of a liquid crystal display can be attained.

[0187] Thus, the output signal P1, P2, P3 which are the pulse signal by which the half period [every] sequential shift of the clock signal CLK whose period is (2x4xT) was carried out from each half bit pattern scanning circuit 11-1 to 11-257 by the liquid crystal display and its drive approach of a gestalt of this operation when the start pulse STa was inputted into 256 steps of half bit pattern scanning circuits 11-1 to 11-257 in the vertical-drive circuit 30 — P256 is outputted, respectively.

[0188] These pulse signals are inputted into the AND-gate circuit 31-1-31-2 to 31-256 as a pulse width compaction means, with this pulse width compaction means, make pulse width of an output pulse small, and generate the pulse of pulse width (MxT), respectively. the output of these AND-gates circuit 31-1-31-2 to 31-256 — every of the NAND gate circuit 15-1 to 15-1024 of an individual (256x4=1024) — it is inputted into the 1st control terminal.

[0189] here — the NAND gate circuit 15-1 to 15-1024 of (256x4=1024) — every four pieces — every — since common connection of the 1st control terminal is made — each above-mentioned AND-gate circuit 31-1 and 31 — the pulse signal from two to 31-256 — respectively — 15-4 and [four NAND gate circuits 15-1 –] 15-5- 15-8—15 — it is inputted into —1021 to 15-1024.

[0190] Moreover, four kinds of 2nd control signal G1-G4 is inputted into each NAND gate circuit 15-1 to 15-1024 every individual (4-1=3) from the 2nd control terminal as other inputs, respectively. A period is (4xT) and each 2nd control signal G1-G4 consists of a pulse of pulse width (T).

[0191] The signal of pulse width (T) is outputted by this from each above-mentioned NAND gate circuit

15-1 to 15-1024, and output-buffer circuit 14 —.

[0192] Therefore, by inputting the signal of these pulse width (T) into a sequential-scanning line, combining the signal from the signal-line of said level drive circuit 2, ON/OFF of the thin film transistor of the active-matrix array 1 can be carried out, and the screen of a liquid crystal display can be displayed.

[0193] That is, since the signal with which classes differ every individual ($2 \times 4 - 1 = 7$) was inputted into the NAND gate circuit 105-1 to 105-1024 (refer to drawing 20) when it was the former, the control line inputted into the NAND gate circuit 105-1 to 105-1024 was [individual] necessary at least ($2 \times 4 = 8$). For this reason, while the control lines inputted into the vertical-drive circuit 30 increased in number and the area of an input pad became large, there was a trouble that wiring for a number of this control line still needed to be taken about, and an area required for the layout of a circuit became large.

[0194] however, every [in / by having formed the AND-gate circuit 31-1-31-2 to 31-256 as a pulse width compaction means to make small pulse width of the output pulse of each half bit pattern scanning circuit 11-1 to 11-257, and to output it with the gestalt of this operation / the NAND gate circuit 15-1 to 15-1024] — it becomes possible to make common connection of the 2nd control terminal every individual ($4 - 1 = 3$). Therefore, the class of 2nd control terminal becomes four pieces, and serves as half [conventional].

[0195] Moreover, since wiring is distributed by each AND-gate circuit 31-1-31-2 to 31-256, and the NAND gate circuit 15-1 to 15-1024, it can prevent that the control line focuses.

[0196] Consequently, there are few driving signals for operating a liquid crystal display, and they can offer the liquid crystal display which can realize improvement in a yield, and its drive approach.

[0197] moreover, by the liquid crystal display and its drive approach of a gestalt of this operation An output pulse [in / in especially a pulse width compaction means / 256 steps of half bit pattern scanning circuits 11-1 to 11-257], two kinds of every which consists of forward and reverse pulses of a period ($2 \times 4 \times T$) and pulse width ($4 \times T$) — it constitutes from an AND-gate circuit 31-1-31-2 to 31-256 where the 4th control signal H1 and either of H2 are inputted.

[0198] For this reason, certainly, there are few driving signals for operating a liquid crystal display, and they can offer the liquid crystal display which can realize improvement in a yield, and its drive approach.

[0199] Moreover, by the liquid crystal display and its drive approach of a gestalt of this operation, the 4th control signal H1 and H2 are using a clock signal CLK and a reversal clock signal / CLK. For this reason, it becomes unnecessary to input the new control line into the vertical-drive circuit 30 as the 4th control signal H1 and H2. Moreover, the new signal creation in an external circuit is also unnecessary.

[0200] Consequently, although there was a trouble that wiring for a number of this control line still needed to be taken about, and an area required for the layout of a circuit became large while the control lines inputted into the vertical-drive circuit 30 increased in number and the area of an input pad became large, when it was the former, this can be prevented by using the established control line.

[0201] Therefore, there are few driving signals for operating a liquid crystal display, and they can offer the liquid crystal display which can realize improvement in a yield, and its drive approach.

[0202] [Gestalt 4 of operation] It will be as follows if the gestalt of other operations of this invention is explained based on drawing 8 and drawing 9. In addition, for convenience, about the member of explanation shown in the drawing of the gestalt 1 of the aforementioned operation thru/or the gestalt 3 of operation, and the member which has the same function, the same sign is attached and the explanation is omitted.

[0203] The vertical-drive circuit 40 of the liquid crystal display of the gestalt of this operation The half bit pattern scanning circuit 11-1 to 11-512 which carries out the half-pulse [every] sequential shift of the start pulse STa per step synchronizing with a clock signal CLK as shown in drawing 8, These half bit pattern scanning circuit 11-1 to 11-512 Each output signal PP1, PP2, PP3 which were outputted

every other step — PP256, these output signals PP1, PP2 — The NAND gate circuit 15-1 to 15-1024 which constitutes the 6th logic-gate circuit which makes an input signal PP256, the 2nd control signal G1, G2 and G3, and G4, It consists of output-buffer circuits 14 which make an input signal the output signal of these NAND gate circuit 15-1 to 15-1024.

[0204] The description of this circuit forms the half bit pattern scanning circuit 11-1 to 11-512 of a twice as many number of stages as this as compared with the gestalt 1 of the above-mentioned implementation thru/or the gestalt 3 of operation, abolishes the lap in the output pulse which adjoins each other by taking out the output every other step, and is to make the number of the control signal of the NAND gate circuit 15-1 – 15-1024 HE into one half.

[0205] The timing chart at the time of performing sequential scanning which shows the drive approach in the liquid crystal display of the above-mentioned configuration to drawing 9 explains.

[0206] First, the clock signal CLK the start pulse STa whose pulse width is (4T), and whose period are (4T) and the reversal clock signal which is the reversal signal / CLK is inputted into said half bit pattern scanning circuit 11-1 to 11-512 by making T into a scanning-line selection period. Subsequently, output PP1 which does not have a lap in the output pulse which adjoins each other by taking out the output from these half bit pattern scanning circuit 11-1 to 11-512 every other step — PP256 occurs.

[0207] Next, these [PP1] — PP256 is inputted into the NAND gate circuit 15-1 to 15-1024. As a control signal to these NAND gate circuit 15-1 to 15-1024, the 2nd control signal G1-G4 signal shown in this drawing is used, and let the numbers of a control signal be one half of conventional numbers.

[0208] In this way, as an output signal from the output and the output-buffer circuit 14 from the NAND gate circuit 15-1 to 15-1024, the pulse width of GP1-GP1024 is (T), the pulse the phase carried out [the pulse] (T) sequential shift occurs, and this scans the scanning line sequentially. [every]

[0209] Consequently, since the number of control signals is reducible, a miniaturization and low-cost-izing of a liquid crystal display can be attained.

[0210] Thus, by the liquid crystal display and its drive approach of a gestalt of this operation, if the start pulse STa of (4xT) is inputted into 2x256 steps in the vertical-drive circuit 40 for pulse width, the pulse signal by which the half period [every] sequential shift of the clock signal CLK whose period is (4xT) was carried out from each half bit pattern scanning circuit 11-1 to 11-511 will be outputted to them, respectively. Therefore, the output signal taken out from the 2x256 above-mentioned steps of half bit pattern scanning circuits 11-1 to 11-512 to every other step becomes what carried out the sequential shift by one period, respectively.

[0211] these pulse signals — every of the NAND gate circuit 15-1 to 15-1024 of an individual (256x4=1024) — it is inputted into the 1st control terminal.

[0212] here — the NAND gate circuit 15-1 to 15-1024 of (256x4=1024) — every four pieces — every — since common connection of the 1st control terminal is made — the pulse signal from the half bit pattern scanning circuit 11-1 to 11-511 in above-mentioned every other step — respectively — 15-4 and [four NAND gate circuits 15-1 –] 15-5– 15-8–15 — it is inputted into –1021 to 15-1024.

[0213] Moreover, four kinds of 2nd control signal G1-G4 is inputted into each NAND gate circuit 15-1 to 15-1024 every individual (4-1=3) from the 2nd control terminal as other inputs, respectively. A period is (4xT) and each 2nd control signal G1-G4 consists of a pulse of pulse width-(T).

[0214] The signal of pulse width (T) is outputted by this from each above-mentioned NAND gate circuit 15-1 to 15-1024, and output output-buffer circuit 14 —.

[0215] Therefore, by inputting the signal of these pulse width (T) into a sequential-scanning line, combining the signal from the signal line of said level drive circuit 2, ON/OFF of the thin film transistor of the active-matrix array 1 can be carried out, and the screen of a liquid crystal display can be displayed.

[0216] That is, since the signal with which classes differ every individual (2x4-1=7) was inputted into the NAND gate circuit 105-1 to 105-1024 (refer to drawing 20) when it was the former, the control line

inputted into the NAND gate circuit 105-1 to 105-1024 was [individual] necessary at least ($2 \times 4 = 8$). For this reason, while the control lines inputted into the vertical-drive circuit 40 increased in number and the area of an input pad became large, there was a trouble that wiring for a number of this control line still needed to be taken about; and an area required for the layout of a circuit became large.

[0217] However, the half bit pattern scanning circuit 11-1 to 11-512 which a clock signal CLK carries out a half period [every] sequential shift, and outputs a pulse signal by inputting a start pulse STa with the gestalt of this operation is established in 2×256 steps (N is a positive integer). By performing ejection of the output signal every other [in 2×256 steps of half bit pattern scanning circuits 11-1 to 11-512] step, the sequential shift of each output signal is carried out by one period, respectively.

[0218] consequently, every in the NAND gate circuit 15-1 to 15-1024 — it becomes possible to make common connection of the 2nd control terminal every individual ($4 - 1 = 3$). Therefore, the class of 2nd control terminal becomes four pieces, and serves as half [conventional].

[0219] Therefore, there are few driving signals for operating a liquid crystal display, and they can offer the liquid crystal display which can realize improvement in a yield, and its drive approach.

[0220] [Gestalt 5 of operation] It will be as follows if the gestalt of other operations of this invention is explained based on drawing 10 and drawing 11 . In addition, for convenience, about the member of explanation shown in the drawing of the gestalt 1 of the aforementioned operation thru/or the gestalt 4 of operation, and the member which has the same function, the same sign is attached and the explanation is omitted.

[0221] Moreover, in the gestalt 4 of the gestalt 1 of said operation — operation, although the example which drives the four scanning lines from the output signal for one step was shown, the example which drives the two scanning lines from the output signal for one step in the gestalt of this operation is explained.

[0222] The vertical-drive circuit 50 of the liquid crystal display of the gestalt of this operation The half bit pattern scanning circuit 11-P-11-1 to 11-513 which carries out the half-pulse [every] sequential shift of the start pulse STa per step synchronizing with a clock signal CLK as shown in drawing 10 , Each output signal Q1 of these half bit pattern scanning circuit 11-P-11-1 to 11-512, P1, P2, P3 — These output signals Q1 that adjoin P256, and P1, P1, P2, —, The AND-gate circuit 51-1-51-2 to 51-512 as 7th logic-gate circuit which makes P511 and P512 an input signal, The output signal GPP1 from these AND-gates circuit 51-1-51-2 to 51-512, GPP2 — The NAND gate circuit 15-1 to 15-1024 which makes an input signal GPP512, a control signal G1, and G2; It consists of output-buffer circuits 14 — which make an input signal the output signal of these NAND gate circuit 15-1 to 15-1024.

[0223] That is, the vertical-drive circuit 50 of the gestalt of this operation is similar with the vertical-drive circuit 20 shown in the gestalt 2 of said operation, and makes the output from one AND-gate circuit 21-1-21-2 to 21-256 two compared with the vertical-drive circuit 20 shown in said drawing 4 .

[0224] The description of this circuit is as compared with the conventional example by forming the AND-gate circuit 51-1-51-2 to 51-512 to make the number of the control signal of the NAND gate circuit 15-1 — 15-1024 HE into one half. Moreover, since 256 output signals from these AND-gates circuit 51-1-51-2 to 51-512 are required while inputting the output signal from the adjacent half bit pattern scanning circuit 11-P-11-1 to 11-513 into the AND-gate circuit 51-1-51-2 to 51-512, half bit pattern scanning circuit 11-P of one more step of reserve has been prepared in the preceding paragraph of the half bit pattern scanning circuit 11-1. In addition, half bit pattern scanning circuit 11-P of this reserve may be prepared in the latter part of the half bit pattern scanning circuit 11-513. The timing chart at the time of performing sequential scanning which shows the drive approach in the liquid crystal display of the above-mentioned configuration to drawing 11 explains.

[0225] First, the clock signal CLK the start pulse STa whose pulse width is (4T), and whose period are (4T) and the reversal clock signal which is the reversal signal / CLK is inputted by making T into a scanning-line selection period in said half bit pattern scanning circuit 11-P-11-1 to 11-513.

[0226] Thereby, it is the output Q1 from the half bit pattern scanning circuit 11-P-11-1 to 11-512, and P1. — P512 occurs. Then, the output Q1 from the adjacent half bit pattern scanning circuit: 11-P-11-1 to 11-513, and P1, P1, P2, —, P511 and P512 are inputted into the AND-gate circuit 51-1-51-2 to 51-512. GPP1, GPP2 which are the output pulse width of face of the one half of the output pulse from the half bit pattern scanning circuit 11-P-11-1 to 11-513 from these AND-gates circuit 51-1-51-2 to 51-512 — GPP512 is outputted.

[0227] Next, although these [GPP1-GPP512] are inputted into the NAND gate circuit 15-1 to 15-1024, two signals, G1 and G2, shown in this drawing are used as a control signal of these NAND gate circuit 15-1 to 15-1024.

[0228] A period is the signal of (2T) and these control signals G1 and G2 can use the reversal signal of a control signal G1 for a control signal G2. For this reason, it is possible to reduce the number of signal input terminals by inputting a signal input terminal through the inverter which carried out to one and was formed on the substrate to the signal of a control signal G1 at the control signal G2.

[0229] In this way, it is GP1 as an output signal from the output and the output-buffer circuit 14 from the NAND gate circuit 15-1 to 15-1024. — The pulse width of GP1024 is (T), the pulse the phase carried out [the pulse] (T) sequential shift occurs, and this scans the scanning line sequentially.

[every]

[0230] Consequently, since the number of control signals is reducible, a miniaturization and low-cost-izing of a liquid crystal display can be attained.

[0231] Thus, by the liquid crystal display and its drive approach of a gestalt of this operation, the adjacent output pulse in the half bit pattern scanning circuit 11-1 to 11-257 in the vertical-drive circuit 20 (refer to drawing 4) shown in the gestalt 2 of said operation has combined the configuration inputted into the AND-gate circuit 21-1-21-2 to 21-256, and the configuration which doubles the half bit pattern scanning circuit 11-1 to 11-257.

[0232] Consequently, also with such a combination, there are few driving signals for operating a liquid crystal display, and they can offer the liquid crystal display which can realize improvement in a yield, and its drive approach.

[0233] In addition, in the gestalten 1-5 of the above operation, although only the progressive broadcasting method was explained, in the case of an interlace scanning mode or 2 coincidence scanning mode, with the liquid crystal display shown in the gestalten 1-4 of operation, it is applicable. However, in the gestalt 5 of operation, although it can scan sequentially with the small number of control signals, an interlace scanning mode and 2 coincidence scanning mode are inapplicable. That is, these scans are attained when a control signal is four or more.

[0234] [Gestalt 6 of operation] It will be as follows if the gestalt of other operations of this invention is explained based on drawing 12 . In addition, for convenience, about the member of explanation shown in the drawing of the gestalt 1 of the aforementioned operation thru/or the gestalt 5 of operation, and the member which has the same function, the same sign is attached and the explanation is omitted.

[0235] With the gestalt 1 of said operation thru/or the gestalt 5 of operation, although sequential scanning was explained, henceforth [the gestalt of this operation], the case where interlace scanning or 2 coincidence scan is performed is explained.

[0236] Interlace scanning using the vertical-drive circuit 10 shown by drawing 1 in the gestalt 1 of operation is explained to the beginning.

[0237] In interlace scanning in the vertical-drive circuit 10, as shown in drawing 12 , the reversal clock signal which are the clock signal CLK whose pulse period is (4T), and its reversal signal / CLK was inputted into the start pulse STa list whose pulse width is (4T) by making T into a scanning-line selection period in the half bit pattern scanning circuit 11-1 to 11-257.

[0238] Thereby, it is an output signal P1 and P2 from the half bit pattern scanning circuit 11-1 to 11-257. — P256 occurs. The 2nd control signal G1, G2 and G3, and four signals of G4 are used as a control

signal of the AND-gate circuit 12-1 to 12-1024 used as the 1st logic-gate circuit, and the control signal is set to conventional one half by this.

[0239] With the gestalt of this operation, in the odd number field, the control signal of a pulse period (2T) was inputted into the 2nd control signal G1, and the 2nd control signal G1 and phase have inputted into 2nd control signal G3 the control signal with which only (T) shifted. Moreover, the input of a control signal is omitted about the 2nd control signal G2 and G4.

[0240] In addition, with the gestalt of this operation, although the pulse of the 2nd control signal G1 and G3 has occurred also in the blanking period immediately after a video-signal write-in period, it is not necessary to not necessarily generate the pulse of control signal G1 and G3 of these 2nd not only at this but at a blanking period.

[0241] Then, the output GPP1 of the AND-gate circuit 12-1 to 12-1024, GPP2 which are the 1st logic-gate circuit — Two output pulses appear in GPP1024. These output pulses are inputted into the NAND gate circuit 13-1 to 13-1024 which constitutes the 2nd logic-gate circuit.

[0242] While inputting the 3rd control signal PP1 into the NAND gate circuit 13-1 to 13-4-13-9 which the output of the half bit pattern scanning circuit 11-1-11-3-11-257 of an odd level eye has connected — 13-12 — at this time The 3rd control signal PP2 is inputted into the NAND gate circuit 13-5 to 13-8-13-13 which the output of the half bit pattern scanning circuit 11-2-11-4-11-256 of an even level eye has connected — 13-16 —.

[0243] What is necessary is just to use the reversal clock signal inputted into the half bit pattern scanning circuit 11-1 to 11-257 / CLK as the 3rd control signal PP2, while what is necessary is just to use the clock signal CLK inputted into the half bit pattern scanning circuit 11-1 to 11-257 as this 3rd control signal PP1. Therefore, it is not necessary to create a new control signal. Moreover, it is not necessary to newly create the signal input terminal from the outside.

[0244] In this way, it sets in the odd number field and they are an output signal GP1, GP3, and GP5 as an output from each output-buffer circuit 14 —. — The pulse width of GP1023 is (T), the pulse the phase carried out [the pulse] (T) sequential shift occurs, and, thereby, interlace scanning of the scanning line is carried out. [every]

[0245] Moreover, although not carried out, the signal shown in the 2nd control signal G1 and G3, respectively is inputted into the 2nd control signal G2 and G4 in the even number field, and illustration is an output signal GP2, GP4, and GP6 as an output signal from each output-buffer circuit 14 —. — In the scanning line of even number Motome of GP1024, pulse width is (T) and the pulse the phase carried out [the pulse] (T) sequential shift occurs. [every]

[0246] Thus, with the gestalt of this operation, the vertical-drive circuit 10 of a liquid crystal display can be used, and interlace scanning can be performed.

[0247] [Gestalt 7 of operation] It will be as follows if the gestalt of other operations of this invention is explained based on drawing 13 . In addition, for convenience, about the member of explanation shown in the drawing of the gestalt 1 of the aforementioned operation thru/or the gestalt 6 of operation, and the member which has the same function, the same sign is attached and the explanation is omitted.

[0248] The gestalt of this operation explains 2 coincidence scan using the vertical-drive circuit 10 shown with the gestalt 1 of operation:

[0249] In 2 coincidence scan in the vertical-drive circuit 10 of the gestalt of this operation, as shown in drawing 13 , the reversal clock signal which are the clock signal CLK whose pulse period is (4T), and its reversal signal / CLK was inputted into the start pulse STa list whose pulse width is (4T) by making T into a scanning-line selection period in the half bit pattern scanning circuit 11-1 to 11-257.

[0250] Thereby, it is an output signal P1 and P2 from the half bit pattern scanning circuit 11-1 to 11-257. — P256 occurs. The 2nd control signal G1, G2 and G3, and four signals of G4 are used as a control signal of the AND-gate circuit 12-1 to 12-1024 used as the 1st logic-gate circuit, and the control signal is set to conventional one half by this.

[0251] With the gestalt of this operation, in the odd number field, the control signal of a pulse period (2T) was inputted into the 2nd control signal G1 and G2, and the 2nd control signal G1, and G2 and a phase have inputted into 2nd control signal G3 and G4 the control signal with which only (T) shifted.

[0252] In addition, with the gestalt of this operation, although the 2nd control signal G1, G2 and G3, and the pulse of G4 have occurred also in the blanking period immediately after a video-signal write-in period, it is not necessary to not necessarily generate control signal G1, G2 and G3 of these 2nd, and the pulse of G4 not only at this but at a blanking period.

[0253] Then, the output GPP1 of the AND-gate circuit 12-1 to 12-1024, GPP2 which are the 1st logic-gate circuit — Two output pulses appear in GPP1024. These output pulses are inputted into the NAND gate circuit 13-1 to 13-1024 which constitutes the 2nd logic-gate circuit.

[0254] While inputting the 3rd control signal PP1 into the NAND gate circuit 13-1 to 13-4-13-9 which the output of the half bit pattern scanning circuit 11-1-11-3-11-257 of an odd level eye has connected — 13-12 — at this time The 3rd control signal PP2 is inputted into the NAND gate circuit 13-5 to 13-8-13-13 which the output of the half bit pattern scanning circuit 11-2-11-4-11-256 of an even level eye has connected — 13-16 —.

[0255] What is necessary is just to use the reversal clock signal inputted into the half bit pattern scanning circuit 11-1 to 11-257 / CLK as the 3rd control signal PP2, while what is necessary is just to use the clock signal CLK inputted into the half bit pattern scanning circuit 11-1 to 11-257 as this 3rd control signal PP1. Therefore, it is not necessary to create a new control signal. Moreover, it is not necessary to newly create the signal input terminal from the outside.

[0256] In this way, it sets in the odd number field and they are an output signal GP1, GP3, and GP5 as an output from each output-buffer circuit 14 —. — The pulse width of GP1023 is (T), the pulse the phase carried out [the pulse] (T) sequential shift occurs, and, thereby, 2 coincidence scan of the scanning line is carried out. [every]

[0257] Moreover, although not carried out, the signal shown in the 2nd control signal G1 and G3, respectively is inputted into the 2nd control signal G2 and G4 in the even number field, and illustration is an output signal GP2, GP4, and GP6 as an output signal from each output-buffer circuit 14 —. — In the scanning line of even number Motome of GP1024, pulse width is (T) and the pulse the phase carried out [the pulse] (T) sequential shift occurs. [every]

[0258] Thus, with the gestalt of this operation, the vertical-drive circuit 10 of a liquid crystal display can be used, and 2 coincidence scan can be performed.

[0259] [Gestalt 8 of operation] It will be as follows if the gestalt of other operations of this invention is explained based on drawing 14 . In addition, for convenience, about the member of explanation shown in the drawing of the gestalt 1 of the aforementioned operation thru/or the gestalt 7 of operation, and the member which has the same function, the same sign is attached and the explanation is omitted.

[0260] The gestalt of this operation explains interlace scanning using the vertical-drive circuit 20 shown in drawing 4 in the gestalt 2 of operation.

[0261] In interlace scanning in the vertical-drive circuit 20 of the gestalt of this operation, as shown in drawing 14 , the reversal clock signal which are the clock signal CLK whose pulse period is (4T), and its reversal signal / CLK was inputted into the start pulse STa list whose pulse width is (4T) by making T into a scanning-line selection period in the half bit pattern scanning circuit 11-P-11-1 to 11-257.

[0262] Thereby, it is an output signal Q1, P1, P2, and P3 from the half bit pattern scanning circuit 11-P-11-1 to 11-257. — P256 occurs. Then, the output signal Q1 from the ***** half bit pattern scanning circuit 11-P-11-1 to 11-257, and P1, P1, P2, —, P255 and P256 are inputted into the AND-gate circuit 21-1 to 21-256 as 4th logic-gate circuit. Each output signal Q1 from these AND-gates circuit 12-1 to 12-1024, P1, P2, P3 — The output signal GPP1, GPP2 which are the output pulse width of face of the one half of P256 — GPP256 is outputted.

[0263] Next, these output signals GPP1, GPP2 — Although GPP256 is inputted into the NAND gate

circuit 15-1 to 15-1024 which constitutes the 3rd logic-gate circuit, the 2nd control signal G1, G2 and G3, and four signals of G4 are used as a control signal of these NAND gate circuit 15-1 to 15-1024, and the control signal is set to conventional one half by this.

[0264] With the gestalt of this operation, in the odd number field, the control signal of a pulse period (2T) was inputted into the 2nd control signal G1, and the 2nd control signal G1 and phase have inputted into 2nd control signal G3 the control signal with which only (T) shifted. In addition, the input of a control signal is not performed about the 2nd control signal G2 and G4.

[0265] In this way, it sets in the odd number field and they are an output signal GP1, GP3, and GP5 as an output from each output-buffer circuit 14 —. — The pulse width of GP1023 is (T), the pulse the phase carried out [the pulse] (T) sequential shift occurs, and, thereby, interlace scanning of the scanning line is carried out. [every]

[0266] Moreover, although not carried out, the signal shown in the 2nd control signal G1 and G3, respectively is inputted into the 2nd control signal G2 and G4 in the even number field, and illustration is an output signal GP2, GP4, and GP6 as an output signal from each output-buffer circuit 14 —. — In the scanning line of even number Motome of GP1024, pulse width is (T) and the pulse the phase carried out [the pulse] (T) sequential shift occurs. [every]

[0267] Thus, with the gestalt of this operation, the vertical-drive circuit 20 of a liquid crystal display can be used, and interlace scanning can be performed.

[0268] [Gestalt 9 of operation] It will be as follows if the gestalt of other operations of this invention is explained based on drawing 15 . In addition, for convenience, about the member of explanation shown in the drawing of the gestalt 1 of the aforementioned operation thru/or the gestalt 8 of operation, and the member which has the same function, the same sign is attached and the explanation is omitted.

[0269] The gestalt of this operation explains 2 coincidence scan using the vertical-drive circuit 20 shown in drawing 4 in the gestalt 2 of operation.

[0270] In 2 coincidence scan in the vertical-drive circuit 20 of the gestalt of this operation, as shown in drawing 15 , the reversal clock signal which are the clock signal CLK whose pulse period is (4T), and its reversal signal / CLK was inputted into the start pulse STa list whose pulse width is (4T) by making T into a scanning-line selection period in the half bit pattern scanning circuit 11-P-11-1 to 11-257.

[0271] Thereby, it is an output signal Q1, P1, P2, and P3 from the half bit pattern scanning circuit 11-P-11-1 to 11-257. — P256 occurs. Then, the output signal Q1 from the ***** half bit pattern scanning circuit 11-P-11-1 to 11-257, and P1, P1, P2, —, P255 and P256 are inputted into the AND-gate circuit 21-1 to 21-256 as 4th logic-gate circuit. Each output signal Q1 from these AND-gates circuit 12-1 to 12-1024, P1, P2, P3 — The output signal GPP1, GPP2 which are the output pulse width of face of the one half of P256 — GPP256 is outputted.

[0272] Next, these output signals GPP1, GPP2 — Although GPP256 is inputted into the NAND gate circuit 15-1 to 15-1024 which constitutes the 3rd logic-gate circuit, the 2nd control signal G1, G2 and G3, and four signals of G4 are used as a control signal of these NAND gate circuit 15-1 to 15-1024, and the control signal is set to conventional one half by this.

[0273] With the gestalt of this operation, in the odd number field, the control signal of a pulse period (2T) was inputted into the 2nd control signal G1 and G2, and the 2nd control signal G1, and G2 and a phase have inputted into 2nd control signal G3 and G4 the control signal with which only (T) shifted.

[0274] In this way, it sets in the odd number field and is output signals GP1 and GP2, and GP3 and GP4 as an output from each output-buffer circuit 14 —. — For every two scanning lines, GP1023 and GP1024, pulse width is (T), the pulse the phase carried out [the pulse] (T) sequential shift occurs, and, thereby, 2 coincidence scan of the scanning line is carried out. [every]

[0275] Although illustration has not been carried out, moreover, in the even number field The signal shown in the 2nd control signal G1 and G3, respectively is inputted into the 2nd control signal G2 and G4. To the 2nd control signal G1 and G4 The signal shown in 2nd control signal G3 and G4 is inputted,

the odd number field rearranges a pair, and it is an output signal GP1, GP2 and GP3, and GP4 and GP5. — Pulse width is (T) for every two scanning lines. The pulse the phase carried out [the pulse] (T) sequential shift occurs, and, thereby, 2 coincidence scan of the scanning line is carried out. [every] [0276] Thus, with the gestalt of this operation, the vertical-drive circuit 20 of a liquid crystal display can be used, and 2 coincidence scan can be performed.

[0277] [Gestalt 10 of operation] It will be as follows if the gestalt of other operations of this invention is explained based on drawing 16. In addition, for convenience, about the member of explanation shown in the drawing of the gestalt 1 of the aforementioned operation thru/or the gestalt 9 of operation, and the member which has the same function, the same sign is attached and the explanation is omitted.

[0278] The gestalt of this operation explains interlace scanning using the vertical-drive circuit 30 shown by drawing 6 in the gestalt 3 of operation.

[0279] In interlace scanning in the vertical-drive circuit 30, as shown in drawing 16, the reversal clock signal which are the clock signal CLK whose pulse period is (4T), and its reversal signal / CLK was inputted into the start pulse STa list whose pulse width is (4T) by making T into a scanning-line selection period in the half bit pattern scanning circuit 11-1 to 11-257.

[0280] Thereby, it is an output signal P1 and P2 from the half bit pattern scanning circuit 11-1 to 11-257. — P256 occurs. Then, an output signal P1, P2 — It is inputted into the AND-gate circuit 31-1-31-2 to 31-256 where P256 constitutes the 5th logic-gate circuit. And by inputting the 4th control signal H1 or 4th control signal H2 into the AND-gate circuit 31-1-31-2 to 31-256 The output signal P1 from these AND-gates circuit 31-1-31-2 to 31-256, P2 — The output signal PP1, PP2 which are the output pulse width of face of the one half of P256 — PP256 is outputted.

[0281] Next, these output signals PP1, PP2 — PP256 uses the 2nd control signal G1, G2 and G3, and four signals of G4 as a control signal of the NAND gate circuit 15-1 to 15-1024, and is setting the control signal to conventional one half by this.

[0282] With the gestalt of this operation, in the odd number field, the control signal of a pulse period (2T) was inputted into the 2nd control signal G1, and the 2nd control signal G1 and phase have inputted into 2nd control signal G3 the control signal with which only (T) shifted. Moreover, the input of a control signal is omitted about the 2nd control signal G2 and G4.

[0283] In this way, it sets in the odd number field and they are an output signal GP1, GP3, and GP5 as an output from each output-buffer circuit 14 — — The pulse width of GP1023 is (T), the pulse the phase carried out [the pulse] (T) sequential shift occurs, and, thereby, interlace scanning of the scanning line is carried out. [every]

[0284] Moreover, although not carried out, the signal shown in the 2nd control signal G1 and G3, respectively is inputted into the 2nd control signal G2 and G4 in the even number field, and illustration is an output signal GP2, GP4, and GP6 as an output signal from each output-buffer circuit 14 — — In the scanning line of even number Motome of GP1024, pulse width is (T) and the pulse the phase carried out [the pulse] (T) sequential shift occurs. [every]

[0285] Thus, with the gestalt of this operation, the vertical-drive circuit 30 of a liquid crystal display can be used, and interlace scanning can be performed.

[0286] [Gestalt 11 of operation] It will be as follows if the gestalt of other operations of this invention is explained based on drawing 17. In addition, for convenience, about the member of explanation shown in the drawing of the gestalt 1 of the aforementioned operation thru/or the gestalt 10 of operation, and the member which has the same function, the same sign is attached and the explanation is omitted.

[0287] The gestalt of this operation explains 2 coincidence scan using the vertical-drive circuit 30 shown by drawing 6 in the gestalt 3 of operation.

[0288] In 2 coincidence scan in the vertical-drive circuit 30, as shown in drawing 17, the reversal clock signal which are the clock signal CLK whose pulse period is (4T), and its reversal signal / CLK was inputted into the start pulse STa list whose pulse width is (4T) by making T into a scanning-line

selection period in the half bit pattern scanning circuit 11-1 to 11-257.

[0289] Thereby, it is an output signal P1 and P2 from the half bit pattern scanning circuit 11-1 to 11-257. — P256 occurs. Then, an output signal P1, P2 — It is inputted into the AND-gate circuit 31-1-31-2 to 31-256 where P256 constitutes the 5th logic-gate circuit. And by inputting the 4th control signal H1 or 4th control signal H2 into the AND-gate circuit 31-1-31-2 to 31-256 The output signal P1 from these AND-gates circuit 31-1-31-2 to 31-256, P2 — The output signal PP1, PP2 which are the output pulse width of face of the one half of P256 — PP256 is outputted.

[0290] Next, these output signals PP1, PP2 — PP256 uses the 2nd control signal G1, G2 and G3, and four signals of G4 as a control signal of the NAND gate circuit 15-1 to 15-1024, and is setting the control signal to conventional one half by this.

[0291] With the gestalt of this operation, in the odd number field, the control signal of a pulse period (2T) was inputted into the 2nd control signal G1 and G2, and the 2nd control signal G1, and G2 and a phase have inputted into 2nd control signal G3 and G4 the control signal with which only (T) shifted.

[0292] In this way, it sets in the odd number field and they are an output signal GP1, GP3, and GP5 as an output from each output-buffer circuit 14 —. — The pulse width of GP1023 is (T), the pulse the phase carried out [the pulse] (T) sequential shift occurs, and, thereby, 2 coincidence scan is carried out. [every]

[0293] Although illustration has not been carried out, moreover, in the even number field The signal shown in the 2nd control signal G1 and G2, respectively is inputted into the 2nd control signal G2 and G3. To the 2nd control signal G1 and G4 The signal shown in 2nd control signal G3 and G4 is inputted, the odd number field rearranges a pair, and it is an output signal GP1, GP2 and GP3, and GP4 and GP5. — Pulse width is (T) for every two scanning lines. The pulse the phase carried out [the pulse] (T) sequential shift occurs, and, thereby, 2 coincidence scan of the scanning line is carried out. [every]

[0294] Thus, with the gestalt of this operation, the vertical-drive circuit 30 of a liquid crystal display can be used, and 2 coincidence scan can be performed.

[0295] [Gestalt 12 of operation] It will be as follows if the gestalt of other operations of this invention is explained based on drawing 18. In addition, for convenience, about the member of explanation shown in the drawing of the gestalt 1 of the aforementioned operation thru/or the gestalt 11 of operation, and the member which has the same function, the same sign is attached and the explanation is omitted.

[0296] The gestalt of this operation explains interlace scanning using the vertical-drive circuit 40 shown by drawing 8 in the gestalt 4 of operation.

[0297] In interlace scanning in the vertical-drive circuit 40, as shown in drawing 18; the reversal clock signal which are the clock signal CLK whose pulse period is (2T), and its reversal signal / CLK was inputted into the start pulse STa list whose pulse width is (2T) by making T into a scanning-line selection period in the half bit pattern scanning circuit 11-1 to 11-512.

[0298] The output signal PP1, PP2 which do not have a lap mutually here by taking out the output from the half bit pattern scanning circuit 11-1 to 11-512 every other step — PP256 occurs. Then, an output signal PP1, PP2 — PP256 is inputted into the NAND gate circuit 15-1 to 15-1024 which constitutes the 6th logic-gate circuit, uses the 2nd control signal G1, G2 and G3, and four signals of G4 as a control signal of these NAND-gate circuit-15-1 to 15-1024, and is setting the control signal to conventional one half by this.

[0299] With the gestalt of this operation, in the odd number field, the control signal of a pulse period (2T) was inputted into the 2nd control signal G1, and the 2nd control signal G1 and phase have inputted into 2nd control signal G3 the control signal with which only (T) shifted. Moreover, the input of a control signal is omitted about the 2nd control signal G2 and G4.

[0300] In this way, it sets in the odd number field and they are an output signal GP1, GP3, and GP5 as an output from each output-buffer circuit 14 —. — The pulse width of GP1023 is (T), the pulse the phase carried out [the pulse] (T) sequential shift occurs, and, thereby, interlace scanning of the

scanning line is carried out. [every]

[0301] Moreover, although not carried out, the signal shown in the 2nd control signal G1 and G3, respectively is inputted into the 2nd control signal G2 and G4 in the even number field, and illustration is an output signal GP2, GP4, and GP6 as an output from each output-buffer circuit 14 —. — In the scanning line of even number Motome of GP1024, pulse width is (T) and the pulse the phase carried out [the pulse] (T) sequential shift occurs. [every]

[0302] Thus, with the gestalt of this operation, interlace scanning can be performed using the vertical-drive circuit 40 of a liquid crystal display.

[0303] [Gestalt 13 of operation] It will be as follows if the gestalt of other operations of this invention is explained based on drawing 19. In addition, for convenience, about the member of explanation shown in the drawing of the gestalt 1 of the aforementioned operation thru/or the gestalt 11 of operation, and the member which has the same function, the same sign is attached and the explanation is omitted.

[0304] The gestalt of this operation explains 2 coincidence scan using the vertical-drive circuit 40 shown by drawing 8 in the gestalt 4 of operation.

[0305] In 2 coincidence scan in the vertical-drive circuit 40, as shown in drawing 19, the reversal clock signal which are the clock signal CLK whose pulse period is (2T), and its reversal signal / CLK was inputted into the start pulse STa list whose pulse width is (2T) by making T into a scanning-line selection period in the half bit pattern scanning circuit 11-1 to 11-512.

[0306] The output signal PP1, PP2 which do not have a lap mutually here by taking out the output from the half bit pattern scanning circuit 11-1 to 11-512 every other step — PP256 occurs. Then, an output signal PP1, PP2 — PP256 is inputted into the NAND gate circuit 15-1 to 15-1024 which constitutes the 6th logic-gate circuit, uses the 2nd control signal G1, G2 and G3, and four signals of G4 as a control signal of these NAND gate circuit 15-1 to 15-1024, and is setting the control signal to conventional one half by this.

[0307] With the gestalt of this operation, in the odd number field, the control signal of a pulse period (2T) was inputted into the 2nd control signal G1 and G2, and the 2nd control signal G1, and G2 and a phase have inputted into 2nd control signal G3 and G4 the control signal with which only (T) shifted.

[0308] In this way, it sets in the odd number field and is output signals GP1 and GP2, and GP3 and GP4 as an output from each output-buffer circuit 14 —. — For every two scanning lines, GP1023 and GP1024, pulse width is (T), the pulse the phase carried out [the pulse] (T) sequential shift occurs, and, thereby, 2 coincidence scan of the scanning line is carried out. [every]

[0309] Although illustration has not been carried out, moreover, in the even number field The signal shown in the 2nd control signal G1 and G2, respectively is inputted into the 2nd control signal G2 and G3. To the 2nd control signal G1 and G4 The signal shown in 2nd control signal G3 and G4 is inputted, with the odd number field, a pair is rearranged, for every two scanning lines, pulse width is (T) and the pulse of an output signal GP1, GP2 and GP3, and GP4 and GP5 — the phase carried out [the pulse] (T) sequential shift occurs. [every]

[0310] Thus, with the gestalt of this operation, the vertical-drive circuit 40 of a liquid crystal display can be used, and 2 coincidence scan can be performed.

[0311] In addition, in the gestalt 1 of the operation described until now thru/or the gestalt 13 of operation, although T shows all scanning-line selection periods, it cannot be overemphasized that this T changes with the number of scanning lines or scan methods, respectively.

[0312] Moreover, in the gestalt 1 of operation thru/or the gestalt 13 of operation, although the AND-gate circuit 12-21-31 and the NAND gate circuit 15 are used as a logic-gate circuit, it is not necessarily restricted to this and can be used in other logic-gate circuits. For example, the signal which may use a NOR-gate circuit instead of the AND-gate circuit 12-21-31, and is inputted into a NOR-gate circuit in this case should just input the signal which reversed the signal inputted into the AND-gate circuit 12-21-31. Furthermore, also when other logic-gate circuits are used, it is contained in the right range of

this invention.

[0313]

[Effect of the Invention] The liquid crystal display of invention concerning claim 1 as mentioned above a vertical-drive circuit The scanning circuit of N stage (N is a positive integer) which a clock signal carries out a half period [every] sequential shift, and outputs a pulse signal by inputting a start pulse, every M individual (M is two or more integers) — every, while the output signal from the scanning circuit of the above-mentioned N stage is inputted, respectively for every control terminal [the] by which common connection of the 1st control terminal was made, and common connection was made in these (M-1) every for inputting the 2nd control signal of M class every individual — the 2nd control terminal with the 1st logic-gate circuit of the individual (NxM) by which common connection was made It has the 2nd logic-gate circuit where either of two kinds of 3rd control signal is inputted from the output of the *** gate circuit of the above 1st, and the 3rd control terminal.

[0314] so, every in the 1st logic-gate circuit — common connection of the 2nd control terminal was made every individual (M-1). For this reason, the class of 2nd control terminal becomes M pieces, and serves as half [conventional].

[0315] Moreover, since wiring is distributed by the 1st logic-gate circuit and the 2nd logic-gate circuit, it can prevent that the control line focuses.

[0316] That is, since area of a drive circuit and an input pad can be made small by reducing the number of control terminals, in the case of several multi-sheet picking which picks out two or more liquid crystal displays from one glass substrate, the number of riding to a substrate can increase, and the number of excellent article panels can be made to increase to it.

[0317] Moreover, the frame field of the display circumference of a liquid crystal display becomes small, and it becomes easy to perform inclusion in a personal computer etc. because the area of a drive circuit and an input pad becomes small.

[0318] Furthermore, especially, since the number of stages of a scanning circuit can be reduced by making the number of inputs to the logic-gate circuit from one step in a scanning circuit increase as the output for one step in a scanning circuit is inputted into two or more logic-gate circuits, although it is difficult in a high definition liquid crystal display to arrange one step of scanning circuit in the pitch of the small pixel, in this invention, a layout becomes easy.

[0319] Consequently, the driving signal for operating a liquid crystal display does so the effectiveness that it is few and the liquid crystal display which can realize improvement in a yield can be offered.

[0320] The liquid crystal display of invention concerning claim 2 as mentioned above a vertical-drive circuit The scanning circuit of N stage (N is a positive integer) which a clock signal carries out a half period [every] sequential shift, and outputs a pulse signal by inputting a start pulse, A pulse width compaction means to make small pulse width of the output pulse of each above-mentioned scanning circuit, and to output it, every M individual (M is two or more integers) — every, while the output signal from each above-mentioned pulse width compaction means is inputted, respectively for every control terminal [the] by which common connection of the 1st control terminal was made, and common connection was made in these (M-1) every for inputting the signal of M class every individual — the 2nd control terminal is equipped with the 3rd logic-gate circuit of the individual (NxM) by which common connection was made.

[0321] so, every in the 3rd logic-gate circuit — common connection of the 2nd control terminal was made every individual (M-1). For this reason, the class of 2nd control terminal becomes M pieces, and serves as half [conventional].

[0322] Moreover, since wiring is distributed by each pulse width compaction means and the 3rd logic-gate circuit, it can prevent that the control line focuses.

[0323] Consequently, the driving signal for operating a liquid crystal display does so the effectiveness that it is few and the liquid crystal display which can realize improvement in a yield can be offered.

[0324] As for the liquid crystal display of invention concerning claim 3, in a liquid crystal display according to claim 2, the above-mentioned pulse width compaction means consists of the 4th logic-gate circuit where the adjacent output pulse in the scanning circuit of the above-mentioned N stage is inputted as mentioned above.

[0325] So, wiring is distributed by the 4th logic-gate circuit and the 3rd logic-gate circuit by constituting from the 4th logic-gate circuit where the adjacent output pulse in the scanning circuit of N stage is inputted as a concrete pulse width compaction means.

[0326] Consequently, it prevents that the control line focuses, and certainly, there are few driving signals for operating a liquid crystal display, and they do so the effectiveness that the liquid crystal display which can realize improvement in a yield can be offered.

[0327] The spare scanning circuit is established in the preceding paragraph or the latter part. [in / in / as mentioned above / a liquid crystal display according to claim 3 / in the above-mentioned pulse width compaction means / in the liquid crystal display of invention concerning claim 4 / the scanning circuit of the above-mentioned N stage]

[0328] So, the effectiveness that the adjacent output pulse in the scanning circuit of N stage can be taken out certainly is done.

[0329] The liquid crystal display of invention concerning claim 5 consists of the 5th logic-gate circuit where an output pulse [in / in the above-mentioned pulse width compaction means / the scanning circuit of the above-mentioned N stage] and either of two kinds of each 4th control signal with which it consists of forward and a reverse pulse are inputted in a liquid crystal display according to claim 2 as mentioned above.

[0330] So, by constituting from the 5th logic-gate circuit where the output pulse in the scanning circuit of N stage and either of two kinds of each 4th control signal which consists of forward and reverse pulses are inputted as a concrete pulse width compaction means Since a clock signal and a reversal clock signal can be used as two kinds of each 4th control signal which consists of forward and reverse pulses as shown in claim 6 Certainly, there are few driving signals for operating a liquid crystal display, and they do so the effectiveness that the liquid crystal display which can realize improvement in a yield can be offered.

[0331] In the liquid crystal display of invention concerning claim 6, in a liquid crystal display according to claim 1 or 5, the 3rd control signal of the above or the 4th control signal consists of a clock signal and a reversal clock signal as mentioned above.

[0332] So, it becomes unnecessary to input the new control line into a vertical-drive circuit as the 3rd control signal and 4th control signal.

[0333] Consequently, although there was a trouble that wiring for a number of this control line still needed to be taken about, and an area required for the layout of a circuit became large while the control lines inputted into a vertical-drive circuit increased in number and the area of an input pad became large, when it was the former, this can be prevented by using the established control line.

[0334] Therefore, the driving signal for operating a liquid crystal display does so the effectiveness that it is few and the liquid crystal display which can realize improvement in a yield can be offered.

[0335] The liquid crystal display of invention concerning claim 7 is $M=4$ as mentioned above in a liquid crystal display given in any 1 term of claims 1-6.

[0336] That is, in a high definition liquid crystal display, it is difficult to arrange a part for one step of scanning circuit in the pitch of the small pixel.

[0337] Then, the number of stages of a scanning circuit can be reduced by making the number of inputs to the logic-gate circuit from one step in a scanning circuit increase as the output for one step in a scanning circuit is inputted into two or more logic-gate circuits.

[0338] Especially in this invention, as $M=4$, since the number of inputs to a logic-gate circuit is made to be set to 4, it can arrange easily by the ability arranging one step of a scanning circuit in the pitch for 4

pixels.

[0339] Consequently, the driving signal for operating a liquid crystal display does so the effectiveness that it is few and the liquid crystal display which can realize improvement in a yield can be offered.

[0340] The liquid crystal display of invention concerning claim 8 as mentioned above a vertical-drive circuit The scanning circuit of the $2 \times N$ stage (N is a positive integer) which a clock signal carries out a half period [every] sequential shift, and outputs a pulse signal by inputting a start pulse, every M individual (M is two or more integers) — every, while the output signal in every other step from the scanning circuit of the above-mentioned $2 \times N$ stage is inputted, respectively for every control terminal [the] by which common connection of the 1st control terminal was made, and common connection was made in these $(M-1)$ every for inputting the 2nd control signal of M class every individual — the 2nd control terminal is equipped with the 6th logic-gate circuit of the individual ($N \times M$) by which common connection was made — it comes out — it is.

[0341] so, every in the 6th logic-gate circuit — common connection of the 2nd control terminal was made every individual $(M-1)$. For this reason, the class of 2nd control terminal becomes M pieces, and serves as half [conventional].

[0342] Consequently, the driving signal for operating a liquid crystal display does so the effectiveness that it is few and the liquid crystal display which can realize improvement in a yield can be offered.

[0343] The drive approach of the liquid crystal display invention concerning claim 9 As mentioned above, by inputting the start pulse whose pulse width is $(2 \times M \times T)$, being the drive approach of a liquid crystal display according to claim 1, and using a scanning-line selection period as T in the scanning circuit in said vertical-drive circuit Each signal which was made to generate the signal in which the period carried out the half period part sequential shift using the clock signal which is $(2 \times M \times T)$, respectively, next carried out [above-mentioned] the half period part sequential shift, It inputs into the 1st control terminal and the 2nd control terminal in the 1st logic-gate circuit, respectively. the 2nd control signal of M class with which a period is $(M \times T)$ and outputs the pulse of pulse width (T) — every — Two pulses which each pulse width is (T) and the phase separated from the 1st logic-gate circuit mutually $(M-1)$ (xT) are generated [next]. these every — with the two above-mentioned pulses The signal of pulse width (T) is made to output from the 2nd logic-gate circuit. two kinds of every which consists of forward and reverse pulses of a period $(2 \times M \times T)$ and pulse width $(M \times T)$ — either of the 3rd control signal — the 2nd logic-gate circuit — respectively — inputting — these every — It is the approach of inputting the signal of the above-mentioned pulse width (T) into a sequential-scanning line.

[0344] so, every in the 1st logic-gate circuit — common connection of the 2nd control terminal was made every individual $(M-1)$. For this reason, the class of 2nd control terminal becomes M pieces, and serves as half [conventional].

[0345] Moreover, since wiring is distributed by the 1st logic-gate circuit and the 2nd logic-gate circuit, it can prevent that the control line focuses.

[0346] Consequently, the driving signal for operating a liquid crystal display does so the effectiveness that it is few and the drive approach of a liquid crystal display that improvement in a yield can be realized can be offered.

[0347] The drive approach of the liquid crystal display invention concerning claim 10 As mentioned above, by inputting the start pulse whose pulse width is $(2 \times M \times T)$, being the drive approach of a liquid crystal display according to claim 2, and using a scanning-line selection period as T in the scanning circuit in said vertical-drive circuit The signal in which the period carried out the half period part sequential shift using the clock signal which is $(2 \times M \times T)$ is generated, respectively. The signal which carried out [above-mentioned] the half period part sequential shift is inputted into a pulse width compaction means, and the pulse of pulse width $(M \times T)$ is generated, respectively. Next, the output from the above-mentioned pulse width compaction means, It inputs into the 1st control terminal and the 2nd control terminal in the 6th logic-gate circuit, respectively. the 2nd control signal of M class with which a

period is $(M \times T)$ and outputs the pulse of pulse width (T) — every — these every — it is the approach of each pulse width making generate the signal of (T) from the 3rd logic-gate circuit, and inputting the signal of the above-mentioned pulse width (T) into a sequential-scanning line.

[0348] so, every [in / by having established a pulse width compaction means to have made small pulse width of the output pulse of each scanning circuit, and to output it / the 3rd logic-gate circuit] — it becomes possible to make common connection of the 2nd control terminal every individual $(M-1)$.

Therefore, the class of 2nd control terminal becomes M pieces, and serves as half [conventional].

[0349] Moreover, since wiring is distributed by each pulse width compaction means and the 3rd logic-gate circuit, it can prevent that the control line focuses.

[0350] Consequently, the driving signal for operating a liquid crystal display does so the effectiveness that it is few and the drive approach of a liquid crystal display that improvement in a yield can be realized can be offered.

[0351] The drive approach of the liquid crystal display invention concerning claim 11 As mentioned above, by inputting the start pulse whose pulse width is $(M \times T)$, being the drive approach of a liquid crystal display according to claim 8, and using a scanning-line selection period as T in the scanning circuit in said vertical-drive circuit Each output signal which carried out the sequential shift by one period which was made to generate the signal in which the period carried out the half period part sequential shift using the clock signal which is $(M \times T)$, respectively, next was taken out from the scanning circuit of the above-mentioned $2 \times N$ stage to every other step, It inputs into the 1st control terminal and the 2nd control terminal in the 6th logic-gate circuit, respectively. the 2nd control signal of M class with which a period is $(M \times T)$ and outputs the pulse of pulse width (T) — every — these every — it is the approach of each pulse width making generate the signal of (T) from the 6th logic-gate circuit, and inputting the signal of the above-mentioned pulse width (T) into a sequential-scanning line.

[0352] So, the sequential shift of each output signal is carried out by one period by inputting a start pulse, respectively by establishing the scanning circuit which a clock signal carries out a half period [every] sequential shift, and outputs a pulse signal in a $2 \times N$ stage (N being a positive integer), and performing ejection of the output signal every other [in the scanning circuit of a $2 \times N$ stage] step. consequently, every in the 6th logic-gate circuit — it becomes possible to make common connection of the 2nd control terminal every individual $(M-1)$. Therefore, the class of 2nd control terminal becomes M pieces, and serves as half [conventional].

[0353] Therefore, the driving signal for operating a liquid crystal display does so the effectiveness that it is few and the drive approach of a liquid crystal display that improvement in a yield can be realized can be offered.

[0354] The drive approach of the liquid crystal display invention concerning claim 12 As mentioned above, are the drive approach of a liquid crystal display according to claim 1, and a scanning-line selection period is set to T in the scanning circuit in said vertical-drive circuit. The signal which inputted the start pulse whose pulse width is $(M \times T)$, and was made to generate the signal which carried out the half period part sequential shift using the clock signal whose period is $(M \times T)$, respectively, next carried out [above-mentioned] the half period part sequential shift, A period inputs the control signal of $((M/2) \times T)$ into the control terminal of an individual among M -kinds of control terminals $(M/2)$ in the 1st logic-gate circuit. Two pulses which pulse width left by $(T) (x(-(M/2) - 1) T)$ are generated from the 1st logic-gate circuit. the two above-mentioned pulses and the 3rd control signal whose period is $(M \times T)$ — the 2nd logic-gate circuit — inputting — the signal of pulse width (T) — this — it is the approach of making output from the 2nd logic-gate circuit, and carrying out the sequential input of the signal of the above-mentioned pulse width (T) every one scanning line.

[0355] So, the class of 2nd control terminal becomes M pieces, and serves as half [conventional].

Therefore, the driving signal for operating a liquid crystal display does so the effectiveness that it is few and the drive approach of a liquid crystal display that improvement in a yield can be realized can be

offered.

[0356] Moreover, the sequential input of the signal of pulse width (T) is carried out every one scanning line. For this reason, the effectiveness that interlace scanning which carries out a sequential input every one scanning line can be performed using a liquid crystal display according to claim 1 is done so.

[0357] The drive approach of the liquid crystal display invention concerning claim 13 As mentioned above, are the drive approach of a liquid crystal display according to claim 1, and a scanning-line selection period is set to T in the scanning circuit in said vertical-drive circuit. The signal which inputted the start pulse whose pulse width is (MxT), and was made to generate the signal which carried out the half period part sequential shift using the clock signal whose period is (MxT), respectively, next carried out [above-mentioned] the half period part sequential shift, M/2 kind of control signals whose periods are ((M/2) xT) are inputted into M kinds of control terminals in the 1st logic-gate circuit. Two pulses which pulse width left by (T) (x(-(M/2) 1) T) are generated from the 1st logic-gate circuit. the two above-mentioned pulses and the 3rd control signal which is a period (MxT) — the 2nd logic-gate circuit — inputting — the signal of pulse width (T) — this — it is the approach which is made to output from the 2nd logic-gate circuit, and carries out the two scanning lines at a time the sequential input of the signal of the above-mentioned pulse width (T).

[0358] So, the class of 2nd control terminal becomes M pieces, and serves as half [conventional]. Therefore, the driving signal for operating a liquid crystal display does so the effectiveness that it is few and the drive approach of a liquid crystal display that improvement in a yield can be realized can be offered.

[0359] Moreover, it carries out the two scanning lines at a time the sequential input of the signal of pulse width (T). For this reason, the effectiveness that 2 coincidence scan which carries out a sequential input the two scanning lines at a time can be performed using a liquid crystal display according to claim 1 is done so.

[0360] The drive approach of the liquid crystal display invention concerning claim 14 As mentioned above, are the drive approach of a liquid crystal display according to claim 2, and a scanning-line selection period is set to T in the scanning circuit in said vertical-drive circuit. Input the start pulse whose pulse width is (MxT), and the signal which carried out the half period part sequential shift using the clock signal whose period is (MxT) is generated, respectively. The signal which carried out [above-mentioned] the half period part sequential shift is inputted into a pulse width compaction means, and the pulse of pulse width (MxT/2) is generated, respectively. Next, the output from the above-mentioned pulse width compaction means, It inputs into the 1st control terminal and the 2nd control terminal in the 3rd logic-gate circuit, respectively. the control signal whose period is (MxT/2) among the control terminals of M book (M/2) at the control terminal of a book — every — the signal of pulse width (T) — this — it is the approach of making output from the 3rd logic-gate circuit, and carrying out the sequential input of the signal of the above-mentioned pulse width (T) every one scanning line.

[0361] So, the class of 2nd control terminal becomes M pieces, and serves as half [conventional]. Therefore, the driving signal for operating a liquid crystal display does so the effectiveness that it is few and the drive approach of a liquid crystal display that improvement in a yield can be realized can be offered.

[0362] Moreover, the sequential input of the signal of pulse width (T) is carried out every one scanning line. For this reason, the effectiveness that interlace scanning which carries out a sequential input every one scanning line can be performed using a liquid crystal display according to claim 2 is done so.

[0363] The drive approach of the liquid crystal display invention concerning claim 15 As mentioned above, are the drive approach of a liquid crystal display according to claim 2, and a scanning-line selection period is set to T in the scanning circuit in said vertical-drive circuit. Input the start pulse whose pulse width is (MxT), and the signal which carried out the half period part sequential shift using the clock signal whose period is (MxT) is generated, respectively. The signal which carried out [above-

mentioned] the half period part sequential shift is inputted into a pulse width compaction means, and the pulse of pulse width ($M \times T/2$) is generated, respectively. Next, the output from the above-mentioned pulse width compaction means, It inputs into the 1st control terminal and the 2nd control terminal in the 3rd logic-gate circuit, respectively. the control signal which is $M/2$ kind whose period is ($M \times T/2$) at the control terminal of M book — every — the signal of pulse width (T) — this — it is the approach which is made to output from the 3rd logic-gate circuit, and carries out the two scanning lines at a time the sequential input of the signal of the above-mentioned pulse width (T).

[0364] So, the class of 2nd control terminal becomes M pieces, and serves as half [conventional]. Therefore, the driving signal for operating a liquid crystal display does so the effectiveness that it is few and the drive approach of a liquid crystal display that improvement in a yield can be realized can be offered.

[0365] Moreover, it carries out the two scanning lines at a time the sequential input of the signal of pulse width (T). For this reason, the effectiveness that 2 coincidence scan which carries out a sequential input the two scanning lines at a time can be performed using a liquid crystal display according to claim 2 is done so.

[0366] The drive approach of the liquid crystal display invention concerning claim 16 As mentioned above, are the drive approach of a liquid crystal display according to claim 8, and a scanning-line selection period is set to T in the scanning circuit in said vertical-drive circuit. Input the start pulse whose pulse width is ($M \times T$); and the signal which carried out the half period part sequential shift using the clock signal whose period is ($M \times T$) is generated, respectively. Next, each output signal which carried out the sequential shift by one period taken out from the scanning circuit of the above-mentioned $2 \times N$ stage to every other step, It inputs into the 1st control terminal and the 2nd control terminal in the 6th logic-gate circuit, respectively. the control signal whose period is ($M \times T/2$) among the control terminals of M book ($M/2$) at the control terminal of a book — every — the signal of pulse width (T) — this — it is the approach of making output from the 6th logic-gate circuit, and carrying out the sequential input of the signal of the above-mentioned pulse width (T) every one scanning line.

[0367] So, the class of 2nd control terminal becomes M pieces, and serves as half [conventional]. Therefore, the driving signal for operating a liquid crystal display does so the effectiveness that it is few and the drive approach of a liquid crystal display that improvement in a yield can be realized can be offered.

[0368] Moreover, the sequential input of the signal of pulse width (T) is carried out every one scanning line. For this reason, the effectiveness that interlace scanning which carries out a sequential input every one scanning line can be performed using a liquid crystal display according to claim 8 is done so.

[0369] The drive approach of the liquid crystal display invention concerning claim 17 As mentioned above, are the drive approach of a liquid crystal display according to claim 8, and a scanning-line selection period is set to T in the scanning circuit in said vertical-drive circuit. Input the start pulse whose pulse width is ($M \times T$), and the signal which carried out the half period part sequential shift using the clock signal whose period is ($M \times T$) is generated, respectively. Next, each output signal which carried out the sequential shift by one period taken out from the scanning circuit of the above-mentioned $2 \times N$ stage to every other step, It inputs into the 1st control terminal and the 2nd control terminal in the 6th logic-gate circuit, respectively. the control signal which is $M/2$ kind whose period is ($M \times T/2$) at the control terminal of M book — every — the signal of pulse width (T) — this — it is the approach characterized by making it output from the 6th logic-gate circuit, and carrying out the two scanning lines at a time the sequential input of the signal of the above-mentioned pulse width (T).

[0370] So, the class of 2nd control terminal becomes M pieces, and serves as half [conventional]. Therefore, the driving signal for operating a liquid crystal display does so the effectiveness that it is few and the drive approach of a liquid crystal display that improvement in a yield can be realized can be offered.

[0371] Moreover, it carries out the two scanning lines at a time the sequential input of the signal of pulse width (T). For this reason, the effectiveness that 2 coincidence scan which carries out a sequential input the two scanning lines at a time can be performed using a liquid crystal display according to claim 8 is done so.

[Translation done.]

*** NOTICES ***

JP0 and NCIP1 are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.*** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the block diagram in which showing one gestalt of operation of the liquid crystal display in this invention, and showing the configuration of a vertical-drive circuit.

[Drawing 2] It is the timing chart which shows the drive approach in the above-mentioned vertical-drive circuit.

[Drawing 3] It is a whole block diagram in the above-mentioned liquid crystal display.

[Drawing 4] It is the block diagram in which showing the gestalt of other operations of the liquid crystal display in this invention, and showing the configuration of a vertical-drive circuit.

[Drawing 5] It is the timing chart which shows the drive approach in the above-mentioned vertical-drive circuit.

[Drawing 6] It is the block diagram of the liquid crystal display in this invention in which showing the gestalt of other operations further and showing the configuration of a vertical-drive circuit.

[Drawing 7] It is the timing chart which shows the drive approach in the above-mentioned vertical-drive circuit.

[Drawing 8] It is the block diagram of the liquid crystal display in this invention in which showing the gestalt of other operations further and showing the configuration of a vertical-drive circuit.

[Drawing 9] It is the timing chart which shows the drive approach in the above-mentioned vertical-drive circuit.

[Drawing 10] It is the block diagram of the liquid crystal display in this invention in which showing the gestalt of other operations further and showing the configuration of a vertical-drive circuit.

[Drawing 11] It is the timing chart which shows the drive approach in the above-mentioned vertical-drive circuit.

[Drawing 12] It is the timing chart which shows interlace scanning which carries out a sequential input every one scanning line using the vertical-drive circuit of the drive approach of the liquid crystal display in this invention which shows the gestalt of other operations further and is shown in drawing 1 .

[Drawing 13] It is the timing chart which shows 2 coincidence scan which carries out a sequential input the two scanning lines at a time using the vertical-drive circuit shown in drawing 1 .

[Drawing 14] It is the timing chart which shows interlace scanning which carries out a sequential input every one scanning line using the vertical-drive circuit of the drive approach of the liquid crystal display

in this invention which shows the gestalt of other operations further and is shown in drawing 4 .

[Drawing 15] It is the timing chart which shows 2 coincidence scan which carries out a sequential input the two scanning lines at a time using the vertical-drive circuit shown in drawing 4 .

[Drawing 16] It is the timing chart which shows interlace scanning which carries out a sequential input every one scanning line using the vertical-drive circuit of the drive approach of the liquid crystal display in this invention which shows the gestalt of other operations further and is shown in drawing 6 .

[Drawing 17] It is the timing chart which shows 2 coincidence scan which carries out a sequential input the two scanning lines at a time using the vertical-drive circuit shown in drawing 6 .

[Drawing 18] It is the timing chart which shows interlace scanning which carries out a sequential input every one scanning line using the vertical-drive circuit of the drive approach of the liquid crystal display in this invention which shows the gestalt of other operations further and is shown in drawing 8 .

[Drawing 19] It is the timing chart which shows 2 coincidence scan which carries out a sequential input the two scanning lines at a time using the vertical-drive circuit shown in drawing 8 .

[Drawing 20] It is the whole block diagram showing the conventional liquid crystal display.

[Drawing 21] It is the timing chart which shows the drive approach in the vertical-drive circuit of the above-mentioned liquid crystal display.

[Description of Notations]

1 Active-Matrix Array

2 Level Drive Circuit

10 Vertical-Drive Circuit

11 Half Bit Pattern Scanning Circuit (Scanning Circuit)

12 AND-Gate Circuit (1st Logic-Gate Circuit)

13 NAND Gate Circuit (2nd Logic-Gate Circuit)

14 Output-Buffer Circuit (2nd Logic-Gate Circuit, 3rd Logic-Gate Circuit)

15 NAND Gate Circuit (3rd Logic-Gate Circuit, 6th Logic-Gate Circuit)

20 Vertical-Drive Circuit

21 AND-Gate Circuit (4th Logic-Gate Circuit, Pulse Width Compaction Means)

30 Vertical-Drive Circuit

31 AND-Gate Circuit (5th Logic-Gate Circuit)

40 Vertical-Drive Circuit

50 Vertical-Drive Circuit

CLK Clock signal (forward pulse)

/CLK Reversal clock signal (reverse pulse)

G1-G4 The 2nd control signal

PP1, PP2 The 3rd control signal

STa Start pulse

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-344691

(43) 公開日 平成11年(1999)12月14日

(51) Int.Cl.⁸
 G 0 2 F 1/133
 G 0 9 G 3/20
 3/36
 H 0 4 N 5/66

識別記号
 5 5 0
 6 2 2
 1 0 2

F I
 G 0 2 F 1/133 5 5 0
 G 0 9 G 3/20 6 2 2 B
 3/36
 H 0 4 N 5/66 1 0 2 B

審査請求 未請求 請求項の数17 OL (全 38 頁)

(21) 出願番号 特願平10-361610
 (22) 出願日 平成10年(1998)12月18日
 (31) 優先権主張番号 特願平10-84323
 (32) 優先日 平10(1998)3月30日
 (33) 優先権主張国 日本 (J P)

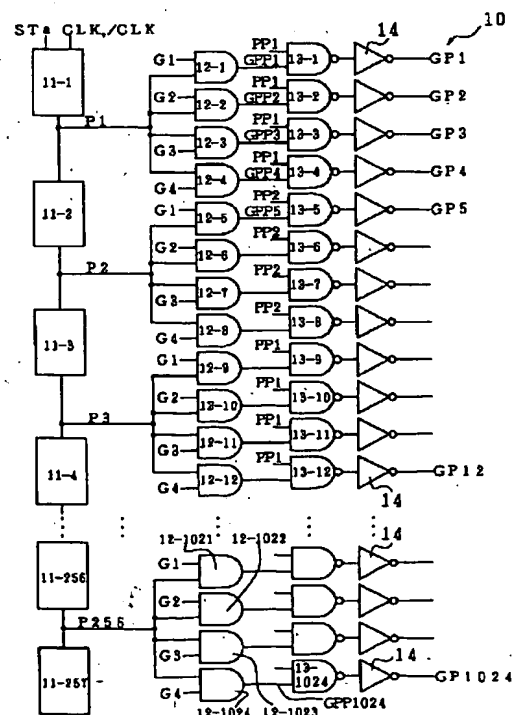
(71) 出願人 000005049
 シャープ株式会社
 大阪府大阪市阿倍野区長池町22番22号
 (72) 発明者 松島 康浩
 大阪府大阪市阿倍野区長池町22番22号 シ
 ャープ株式会社内
 (72) 発明者 江藤 直
 大阪府大阪市阿倍野区長池町22番22号 シ
 ャープ株式会社内
 (72) 発明者 ▲高▼藤 裕
 大阪府大阪市阿倍野区長池町22番22号 シ
 ャープ株式会社内
 (74) 代理人 弁理士 原 謙三

(54) 【発明の名称】 液晶表示装置及びその駆動方法

(57) 【要約】

【課題】 液晶表示装置を動作させるための駆動信号が少なく、かつ歩留向上を実現し得る液晶表示装置を提供することにある。

【解決手段】 垂直駆動回路10は、スタートパルス S T a を入力することにより、パルス信号をクロック信号 C L K の半周期分ずつ順次シフトして出力する256段の走査回路11-1~11-257と、4個毎に共通接続される第1の制御端子毎に走査回路11-1~11-257からの出力信号がそれぞれ入力されかつ4種類の第2の制御信号 G 1 ・ G 2 ・ G 3 ・ G 4 のいずれかが入力される1024個の第1の論理ゲート回路としての A N D ゲート回路12-1~12-1024と、ANDゲート回路12-1~12-1024の出力と第3の制御信号 P P 1 ・ P P 2 とを入力とする第2の論理ゲート回路としての N A N D ゲート回路13-1~13-1024とを備えている。



(2)

【特許請求の範囲】

【請求項1】複数の走査線と複数の信号線との各交点にスイッチング素子が配置されたアクティブマトリクスアレイと、上記走査線を駆動する垂直駆動回路と、上記信号線を駆動する水平駆動回路とからなる液晶表示装置において、

上記垂直駆動回路は、スタートパルスを入力することにより、パルス信号をクロック信号の半周期分ずつ順次シフトして出力するN段（Nは正の整数）の走査回路と、

M個（Mは2以上の整数）毎に各第1の制御端子が共通接続されて、これら共通接続された第1の制御端子毎に上記N段の走査回路からの出力信号がそれぞれ入力されると共に、（M-1）個おきにM種類の第2の制御信号を入力するための各第2の制御端子が共通接続された（N×M）個の第1の論理ゲート回路と、

上記第1の論理ゲート回路の出力と、第3の制御端子から2種類の第3の制御信号のうちのいずれかが入力される第2の論理ゲート回路とを備えていることを特徴とする液晶表示装置。

【請求項2】複数の走査線と複数の信号線との各交点にスイッチング素子が配置されたアクティブマトリクスアレイと、上記走査線を駆動する垂直駆動回路と、上記信号線を駆動する水平駆動回路とからなる液晶表示装置において、

上記垂直駆動回路は、スタートパルスを入力することにより、パルス信号をクロック信号の半周期分ずつ順次シフトして出力するN段（Nは正の整数）の走査回路と、

上記各走査回路の出力パルスのパルス幅を小さくして出力するパルス幅短縮手段と、

M個（Mは2以上の整数）毎に各第1の制御端子が共通接続されて、これら共通接続された第1の制御端子毎に上記各パルス幅短縮手段からの出力信号がそれぞれ入力されると共に、（M-1）個おきにM種類の第2の制御信号を入力するための各第2の制御端子が共通接続された（N×M）個の第3の論理ゲート回路とを備えていることを特徴とする液晶表示装置。

【請求項3】上記パルス幅短縮手段は、上記N段の走査回路における隣り合う出力パルスが入力される第4の論理ゲート回路からなることを特徴とする請求項2記載の液晶表示装置。

【請求項4】上記パルス幅短縮手段には、上記N段の走査回路における前段又は後段に予備の走査回路が設けられていることを特徴とする請求項3記載の液晶表示装置。

【請求項5】上記パルス幅短縮手段は、上記N段の走査回路における出力パルスと、正・逆パルスからなる2種類の各第4の制御信号のうちのいずれかが入力される第5の論理ゲート回路からなることを特徴とする請求項

2記載の液晶表示装置。

【請求項6】上記第3の制御信号又は第4の制御信号は、クロック信号及び反転クロック信号からなることを特徴とする請求項1又は5記載の液晶表示装置。

【請求項7】M=4であることを特徴とする請求項1～6のいずれか1項に記載の液晶表示装置。

【請求項8】複数の走査線と複数の信号線との各交点にスイッチング素子が配置されたアクティブマトリクスアレイと、上記走査線を駆動する垂直駆動回路と、上記信号線を駆動する水平駆動回路とからなる液晶表示装置において、

上記垂直駆動回路は、

スタートパルスを入力することにより、パルス信号をクロック信号の半周期分ずつ順次シフトして出力する2×N段（Nは正の整数）の走査回路と、

M個（Mは2以上の整数）毎に各第1の制御端子が共通接続されて、これら共通接続された第1の制御端子毎に上記2×N段の走査回路からの1段おきの出力信号がそれぞれ入力されると共に、（M-1）個おきにM種類の第2の制御信号を入力するための各第2の制御端子が共通接続された（N×M）個の第6の論理ゲート回路とを備えていることを特徴とする液晶表示装置。

【請求項9】請求項1記載の液晶表示装置の駆動方法であって、

前記垂直駆動回路における走査回路に、走査線選択期間をTとして、パルス幅が（2×M×T）であるスタートパルスを入力することにより、周期が（2×M×T）であるクロック信号を使用して半周期分順次シフトした信号をそれぞれ発生させ、

次に、上記半周期分順次シフトした各信号と、周期が（M×T）であってパルス幅（T）のパルスを入力するM種類の第2の制御信号とを各第1の論理ゲート回路における第1の制御端子及び第2の制御端子にそれぞれ入力して、これら各第1の論理ゲート回路から、各パルス幅が（T）であって位相が互いに（M-1）×T離れた2個のパルスを発生させ、

次に、上記2個のパルスと、周期（2×M×T）かつパルス幅（M×T）の正・逆パルスからなる2種類の各第3の制御信号のうちのいずれかをと第2の論理ゲート回路にそれぞれ入力してこれら各第2の論理ゲート回路からパルス幅（T）の信号を出力させ、上記パルス幅（T）の信号を順次走査線に入力することを特徴とする液晶表示装置の駆動方法。

【請求項10】請求項2記載の液晶表示装置の駆動方法であって、

前記垂直駆動回路における走査回路に、走査線選択期間をTとして、パルス幅が（2×M×T）であるスタートパルスを入力することにより、周期が（2×M×T）であるクロック信号を使用して半周期分順次シフトした信号をそれぞれ発生させ、

(3)

3

次に、上記半周期分順次シフトした信号をパルス幅短縮手段に入力してパルス幅 ($M \times T$) のパルスをそれぞれ発生させ、

上記パルス幅短縮手段からの出力と、周期が ($M \times T$) であってパルス幅 (T) のパルスを出力する M 種類の第2の制御信号とを各第3の論理ゲート回路における第1の制御端子及び第2の制御端子にそれぞれ入力し、これら各第3の論理ゲート回路から各パルス幅が (T) の信号を発生させ、上記パルス幅 (T) の信号を順次走査線に入力することを特徴とする液晶表示装置の駆動方法。

【請求項11】請求項8記載の液晶表示装置の駆動方法であって、

前記垂直駆動回路における走査回路に、走査線選択期間を T として、パルス幅が ($M \times T$) であるスタートパルスを入力することにより、周期が ($M \times T$) であるクロック信号を使用して半周期分順次シフトした信号をそれぞれ発生させ、

次に、上記 $2 \times N$ 段の走査回路からの1段おきに取り出した1周期分順次シフトした各出力信号と、周期が ($M \times T$) であってパルス幅 (T) のパルスを出力する M 種類の第2の制御信号とを各第6の論理ゲート回路における第1の制御端子及び第2の制御端子にそれぞれ入力し、これら各第6の論理ゲート回路から各パルス幅が (T) の信号を発生させ、上記パルス幅 (T) の信号を順次走査線に入力することを特徴とする液晶表示装置の駆動方法。

【請求項12】請求項1記載の液晶表示装置の駆動方法であって、

前記垂直駆動回路における走査回路に、走査線選択期間を T として、パルス幅が ($M \times T$) であるスタートパルスを入力し、周期が ($M \times T$) であるクロック信号を使用して半周期分順次シフトした信号をそれぞれ発生させ、

次に、上記半周期分順次シフトした信号と、 M 種類の制御端子のうち ($M/2$) 個の制御端子に周期が ($(M/2) \times T$) の制御信号とを第1の論理ゲート回路に入力し、パルス幅が (T) で ($(M/2) - 1$) $\times T$ 離れた2個のパルスを第1の論理ゲート回路から発生させ、

上記2個のパルスと周期が ($M \times T$) である第3の制御信号とを第2の論理ゲート回路に入力し、パルス幅

(T) の信号を該第2の論理ゲート回路から出力させ、上記パルス幅 (T) の信号を走査線1本おきに順次入力することを特徴とする液晶表示装置の駆動方法。

【請求項13】請求項1記載の液晶表示装置の駆動方法であって、

前記垂直駆動回路における走査回路に、走査線選択期間を T として、パルス幅が ($M \times T$) であるスタートパルスを入力し、周期が ($M \times T$) であるクロック信号を使用して半周期分順次シフトした信号をそれぞれ発生さ

4

せ、

次に、上記半周期分順次シフトした信号と、 M 種類の制御端子に周期が ($(M/2) \times T$) である $M/2$ 種類の制御信号とを第1の論理ゲート回路に入力し、パルス幅が (T) で ($(M/2) - 1$) $\times T$ 離れた2個のパルスを第1の論理ゲート回路から発生させ、

上記2個のパルスと周期 ($M \times T$) である第3の制御信号とを第2の論理ゲート回路に入力し、パルス幅 (T) の信号を該第2の論理ゲート回路から出力させ、

10 上記パルス幅 (T) の信号を走査線2本ずつ順次入力することを特徴とする液晶表示装置の駆動方法。

【請求項14】請求項2記載の液晶表示装置の駆動方法であって、

前記垂直駆動回路における走査回路に、走査線選択期間を T として、パルス幅が ($M \times T$) であるスタートパルスを入力し、周期が ($M \times T$) であるクロック信号を使用して半周期分順次シフトした信号をそれぞれ発生させ、

20 次に、上記半周期分順次シフトした信号をパルス幅短縮手段に入力し、パルス幅 ($M \times T/2$) のパルスをそれぞれ発生させ、

上記パルス幅短縮手段からの出力と、 M 本の制御端子のうち ($M/2$) 本の制御端子には周期が ($M \times T/2$) である制御信号とを各第3の論理ゲート回路における第1の制御端子及び第2の制御端子にそれぞれ入力し、パルス幅 (T) の信号を該第3の論理ゲート回路から出力させ、

上記パルス幅 (T) の信号を走査線1本おきに順次入力することを特徴とする液晶表示装置の駆動方法。

30 【請求項15】請求項2記載の液晶表示装置の駆動方法であって、

前記垂直駆動回路における走査回路に、走査線選択期間を T として、パルス幅が ($M \times T$) であるスタートパルスを入力し、周期が ($M \times T$) であるクロック信号を使用して半周期分順次シフトした信号をそれぞれ発生させ、次に、上記半周期分順次シフトした信号をパルス幅短縮手段に入力し、パルス

幅 ($M \times T/2$) のパルスをそれぞれ発生させ、

上記パルス幅短縮手段からの出力と、 M 本の制御端子には周期が ($M \times T/2$) である $M/2$ 種類の制御信号とを各第3の論理ゲート回路における第1の制御端子及び第2の制御端子にそれぞれ入力し、

パルス幅 (T) の信号を該第3の論理ゲート回路から出力させ、

上記パルス幅 (T) の信号を走査線2本ずつ順次入力することを特徴とする液晶表示装置の駆動方法。

【請求項16】請求項8記載の液晶表示装置の駆動方法であって、

前記垂直駆動回路における走査回路に、走査線選択期間を T として、パルス幅が ($M \times T$) であるスタートパル

50

(4)

5

スを入力し、周期が $(M \times T)$ であるクロック信号を使用して半周期分順次シフトした信号をそれぞれ発生させ、

次に、上記 $2 \times N$ 段の走査回路からの1段おきに取り出した1周期分順次シフトした各出力信号と、M本の制御端子のうち $(M/2)$ 本の制御端子には周期が $(M \times T/2)$ である制御信号とを各第6の論理ゲート回路における第1の制御端子及び第2の制御端子にそれぞれ入力し、パルス幅 (T) の信号を該第6の論理ゲート回路から出力させ、

上記パルス幅 (T) の信号を走査線1本おきに順次入力することを特徴とする表示装置の駆動方法。

【請求項17】請求項8記載の液晶表示装置の駆動方法であって、

前記垂直駆動回路における走査回路に、走査線選択期間を T として、パルス幅が $(M \times T)$ であるスタートパルスを入力し、周期が $(M \times T)$ であるクロック信号を使用して半周期分順次シフトした信号をそれぞれ発生させ、

次に、上記 $2 \times N$ 段の走査回路からの1段おきに取り出した1周期分順次シフトした各出力信号と、M本の制御端子には周期が $(M \times T/2)$ である $M/2$ 種類の制御信号とを各第6の論理ゲート回路における第1の制御端子及び第2の制御端子にそれぞれ入力し、パルス幅

(T) の信号を該第6の論理ゲート回路から出力させ、上記パルス幅 (T) の信号を走査線2本ずつ順次入力することを特徴とする液晶表示装置の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、複数の走査線と複数の信号線との各交点にスイッチング素子が配置されたアクティブマトリクスアレイと、上記走査線を駆動する垂直駆動回路と、上記信号線を駆動する水平駆動回路とからなるアクティブマトリクス型の液晶表示装置及びその駆動方法に関するものである。

【0002】

【従来の技術】近年、映像周波数、画素数及び走査方式の異なるパーソナルコンピュータ、ワークステーション又はテレビジョン等に対応可能な液晶表示装置が要求されるようになってきている。

【0003】上記のパーソナルコンピュータやワークステーションに対応させるためには、奇数ライン又は偶数ラインに関係なく順番に走査する順次走査方式を行う必要がある。

【0004】一方、現行のテレビジョンやハイビジョンに対応するためには、奇数フィールドで奇数ラインの画素を順次走査する一方、偶数フィールドで偶数ラインの画素を順次走査するというインターレース駆動を行う必要がある。

【0005】また、奇数フィールドにおいては奇数ライ

6

ンの走査と同時に次の偶数ラインも走査して、同じ信号を書き込む一方、偶数フィールドにおいては偶数ラインの走査と同時に次の奇数ラインも同時に走査して、同じ信号を書き込むという2本同時走査が取られることもあり、これに対応できる液晶表示装置が求められている。

【0006】さらに、走査方式だけではなく、拡大表示、黒表示書込み及び双方向走査等が全て可能な液晶表示装置が求められている。

【0007】このような液晶表示装置として、例えば、特開平8-122747号公報に示される液晶表示装置が開示されている。以下、この従来の液晶表示装置についての説明を行う。

【0008】上記の液晶表示装置は、図20に示すように、走査線と信号線との交点に薄膜トランジスタを配置して構成されたアクティブマトリクスアレイ101と、走査線を駆動する垂直駆動回路102と、信号線を駆動する水平駆動回路103とから構成されている。上記の液晶表示装置では、走査線の数を1024本としている。

【0009】上記の液晶表示装置の垂直駆動回路102は、同図に示すように、入力端子a又は入力端子bから、入力されたパルス信号をクロック信号に同期して順次シフトする256段のハーフビット構成の走査回路（以下、「ハーフビット構成の走査回路」という）104-1～104-257と、それらハーフビット構成走査回路104-1～104-257の各出力信号 $P1 \cdot P2 \cdot \dots \cdot P256$ と、制御信号 $G1 \cdot G2 \cdot \dots \cdot G8$ を入力信号とするNANDゲート回路105-1～105-1024と、それらNANDゲート回路105-1～105-1024の各出力信号を入力信号とする出力バッファ回路106…とから構成されている。

【0010】上記の液晶表示装置では、ハーフビット構成走査回路104-1～104-257の各出力に対し、4個のNANDゲート回路105…が接続されており、隣接する8個のNANDゲート回路105…の制御信号は全て異なっていることが特徴となっている。

【0011】また、上記のハーフビット構成走査回路104-1～104-257は、それぞれ双方向走査が可能な構成となっている。従って、一方向に走査する時には入力端子aからパルス信号が入力される一方、逆方向に走査する時には入力端子bからパルス信号が入力される。

【0012】上記のハーフビット構成走査回路104-1～104-257は、2相のクロック信号で駆動される回路を用いている。このため、ハーフビット構成走査回路104-1～104-257を駆動するのに必要な駆動信号の数は、逆方向に走査する時に入力するパルス信号も含めてクロック信号2個及び入力信号2個の合計4個となる。また、NANDゲート回路105-1～105-1024の各制御信号 $G1 \sim G8$ を加えて、垂直

(5)

7

駆動回路102に入力する駆動信号の数は、合計12個となっている。これら駆動信号の数は、信号線の数が1024本を越えた場合でも変わらない。

【0013】上記液晶表示装置における駆動方法について説明する。

【0014】図21に示すように、まず、前記ハーフビット構成走査回路104-1~104-257に、クロック周期が(8T)の(Tは走査線選択期間)クロック信号CLK、及び前記入力端子aからのパルス幅が(8T)の入力パルス信号VSTaを同図に示すタイミングで入力すると共に、その入力パルス信号VSTaをクロック信号CLKに同期させて順次シフトする。

【0015】これにより、ハーフビット構成走査回路104-1~104-257の各出力信号P1~P256は、同図に示すように、パルス幅が(8T)で、位相が(4T)ずつ順次シフトしたパルス信号が出力される。

【0016】一方、前記NANDゲート回路105-1~105-1024へは、制御信号G1~G8として、パルス幅が(T)、パルス周期が(8T)及び位相が(T)ずつ順次シフトしたパルス信号が、同図に示すタイミングで入力される。その結果、前記出力バッファ回路106の出力信号GP1~GP1024として、パルス幅が(T)、位相が(T)ずつ順次シフトしたパルス信号が得られる。

【0017】このように、上記駆動方法にて、順次走査する時の信号を取り出している。

【0018】

【発明が解決しようとする課題】しかしながら、上記従来の液晶表示装置及びその駆動方法では、垂直駆動回路102に入力する駆動信号数は制御信号だけで8個もあり、外部回路においてこの制御信号を作成する必要がある。また、これら制御信号を入力パッドから垂直駆動回路102の内部に引き回す配線が8本必要であるため、これら配線の必要とする面積が大きくなり、これら制御信号を入力するための入力パッドを基板上に形成するためパッドが必要とする面積が大きくなる。従って、1枚の液晶表示装置が要するガラス基板が大きくなり、1枚の基板から複数枚の液晶パネルを取出す場合に、その枚数が少なくなるという問題点を有している。

【0019】また、入力パッド数が増加することは、パッドと外部のフレキシブル基板との接続時において歩留低下の一因ともなるという問題点を有している。

【0020】本発明は、上記従来の問題点に鑑みなされたものであって、その目的は、液晶表示装置を動作させるための駆動信号が少なく、かつ歩留向上を実現し得る液晶表示装置及びその駆動方法を提供することにある。

【0021】

【課題を解決するための手段】請求項1に係る発明の液晶表示装置は、上記課題を解決するために、複数の走査線と複数の信号線との各交点にスイッチング素子が配置

8

されたアクティブマトリクスアレイと、上記走査線を駆動する垂直駆動回路と、上記信号線を駆動する水平駆動回路とからなる液晶表示装置において、上記垂直駆動回路は、スタートパルスを入力することにより、パルス信号をクロック信号の半周期分ずつ順次シフトして出力するN段(Nは正の整数)の走査回路と、M個(Mは2以上の整数)毎に各第1の制御端子が共通接続されて、これら共通接続された第1の制御端子毎に上記N段の走査回路からの出力信号がそれぞれ入力されると共に、(M-1)個おきにM種類の第2制御信号を入力するための各第2の制御端子が共通接続された(N×M)個の第1の論理ゲート回路と、上記第1の論理ゲート回路の出力と、第3の制御端子から2種類の第3の制御信号のうちのいずれかが入力される第2の論理ゲート回路とを備えていることを特徴としている。

【0022】上記の発明によれば、垂直駆動回路に入力される制御信号は、N段(Nは正の整数)の走査回路における最初の走査回路に入力されるスタートパルス及びクロック信号と、(N×M)個の第1の論理ゲート回路に入力されるM種類の第2の制御信号と、第2の論理ゲート回路に入力される2種類の第3の制御信号となる。

【0023】即ち、従来であれば、第1の論理ゲート回路には、(2×M-1)個おきに種類の異なる信号が入力されていたので、第1の論理ゲート回路に入力される制御線が少なくとも(2×M)個必要となっていた。このため、垂直駆動回路に入力される制御線が多くなり入力パッドの面積が大きくなると共に、さらには、この制御線の本数分の配線の引き回しが必要であり、回路のレイアウトに必要な面積が大きくなるという問題点があった。

【0024】しかし、本発明では、第1の論理ゲート回路における各第2の制御端子は、(M-1)個おきに共通接続されたものとなっている。このため、第2の制御端子の種類は、M個となり、従来の半分となる。

【0025】また、配線が、第1の論理ゲート回路と第2の論理ゲート回路とに分散されるので、制御線が集中するのを防止することができる。

【0026】即ち、制御端子数を低減させることにより、駆動回路及び入力パッドの面積を小さくすることができるので、1枚のガラス基板から複数の液晶表示装置を取り出す多数枚取りの場合に、基板に対する乗り数が増え、良品パネル数を増加させることができる。

【0027】また、駆動回路及び入力パッドの面積が小さくなることで、液晶表示装置の表示部周辺の額縁領域が小さくなり、パーソナルコンピュータ等への組み込みが行い易くなる。

【0028】さらに、走査回路における1段分の出力を複数の論理ゲート回路へ入力するというように、走査回路における1段分からの論理ゲート回路への入力数を増加させることにより、走査回路の段数を低減できるの

(6)

9

で、特に、高精細の液晶表示装置においては、その小さい画素のピッチで走査回路1段分をレイアウトするのが困難であるが、本発明においては、レイアウトが容易になる。

【0029】この結果、液晶表示装置を動作させるための駆動信号が少なく、かつ歩留向上を実現し得る液晶表示装置を提供することができる。

【0030】請求項2に係る発明の液晶表示装置は、上記課題を解決するために、複数の走査線と複数の信号線との各交点にスイッチング素子が配置されたアクティブマトリクスアレイと、上記走査線を駆動する垂直駆動回路と、上記信号線を駆動する水平駆動回路とからなる液晶表示装置において、上記垂直駆動回路は、スタートパルスを入力することにより、パルス信号をクロック信号の半周期分ずつ順次シフトして出力するN段（Nは正の整数）の走査回路と、上記各走査回路の出力パルスのパルス幅を小さくして出力するパルス幅短縮手段と、M個（Mは2以上の整数）毎に各第1の制御端子が共通接続されて、これら共通接続された第1の制御端子毎に上記各パルス幅短縮手段からの出力信号がそれぞれ入力されると共に、（M-1）個おきにM種類の信号を入力するための各第2の制御端子が共通接続された（N×M）個の第3の論理ゲート回路とを備えていることを特徴としている。

【0031】上記の発明によれば、垂直駆動回路に入力される制御信号は、N段（Nは正の整数）の走査回路における最初の走査回路に入力されるスタートパルス及びクロック信号と、（N×M）個の第3の論理ゲート回路に入力されるM種類の第2の制御信号となる。

【0032】即ち、従来であれば、第3の論理ゲート回路には、（2×M-1）個おきに種類の異なる信号が入力されていたので、第3の論理ゲート回路に入力される制御線が少なくとも（2×M）個必要となっていた。このため、垂直駆動回路に入力される制御線が多くなり入力パッドの面積が大きくなると共に、さらには、この制御線の本数分の配線の引き回しが必要であり、回路のレイアウトに必要な面積が大きくなるという問題点があった。

【0033】しかし、本発明では、第3の論理ゲート回路における各第2の制御端子は、（M-1）個おきに共通接続されたものとなっている。このため、第2の制御端子の種類は、M個となり、従来の半分となる。

【0034】また、配線が、各パルス幅短縮手段と第3の論理ゲート回路とに分散されるので、制御線が集中することを防止することができる。

【0035】この結果、液晶表示装置を動作させるための駆動信号が少なく、かつ歩留向上を実現し得る液晶表示装置を提供することができる。

【0036】請求項3に係る発明の液晶表示装置は、上記課題を解決するために、請求項2記載の液晶表示装置

10

において、上記パルス幅短縮手段は、上記N段の走査回路における隣り合う出力パルスが入力される第4の論理ゲート回路からなることを特徴としている。

【0037】上記の発明によれば、具体的なパルス幅短縮手段として、N段の走査回路における隣り合う出力パルスが入力される第4の論理ゲート回路にて構成することによって、配線が、第4の論理ゲート回路と第3の論理ゲート回路とに分散される。

【0038】この結果、制御線が集中するのを防止して、確実に、液晶表示装置を動作させるための駆動信号が少なく、かつ歩留向上を実現し得る液晶表示装置を提供することができる。

【0039】請求項4に係る発明の液晶表示装置は、上記課題を解決するために、請求項3記載の液晶表示装置において、上記パルス幅短縮手段には、上記N段の走査回路における前段又は後段に予備の走査回路が設けられていることを特徴としている。

【0040】上記の発明によれば、パルス幅短縮手段には、上記N段の走査回路における前段又は後段に予備の走査回路が設けられているので、N段の走査回路における隣り合う出力パルスを確実に取り出すことができる。

【0041】請求項5に係る発明の液晶表示装置は、上記課題を解決するために、請求項2記載の液晶表示装置において、上記パルス幅短縮手段は、上記N段の走査回路における出力パルスと、正・逆パルスからなる2種類の各第4の制御信号のうちのいずれかが入力される第5の論理ゲート回路からなることを特徴としている。

【0042】上記の発明によれば、具体的なパルス幅短縮手段として、N段の走査回路における出力パルスと、正・逆パルスからなる2種類の各第4の制御信号のうちのいずれかが入力される第5の論理ゲート回路にて構成することによって、請求項6に示すように、クロック信号及び反転クロック信号を正・逆パルスからなる2種類の各第4の制御信号として利用できるので、確実に、液晶表示装置を動作させるための駆動信号が少なく、かつ歩留向上を実現し得る液晶表示装置を提供することができる。

【0043】請求項6に係る発明の液晶表示装置は、上記課題を解決するために、請求項1又は5記載の液晶表示装置において、上記第3の制御信号又は第4の制御信号は、クロック信号及び反転クロック信号からなることを特徴としている。

【0044】即ち、第3の制御信号又は第4の制御信号は、周期（2×M×T）かつパルス幅（M×T）の正・逆パルスからなる2種類の信号であることが要求される。

【0045】ここで、これら2種類の信号は、既設のクロック信号及び反転クロック信号と同じである。

【0046】そこで、本発明では、第3の制御信号又は第4の制御信号は、クロック信号及び反転クロック信号

(7)

11

からなるとすることによって、第3の制御信号及び第4の制御信号として、新たな制御線を垂直駆動回路に入力しなくても良くなる。

【0047】この結果、従来であれば、垂直駆動回路に入力される制御線が多くなり入力パッドの面積が大きくなると共に、さらには、この制御線の本数分の配線の引き回しが必要であり、回路のレイアウトに必要な面積が大きくなるという問題点があったが、既設の制御線を利用することによって、これを防止することができる。

【0048】従って、液晶表示装置を動作させるための駆動信号が少なく、かつ歩留向上を実現し得る液晶表示装置を提供することができる。

【0049】請求項7に係る発明の液晶表示装置は、上記課題を解決するために、請求項1～6のいずれか1項に記載の液晶表示装置において、 $M=4$ であることを特徴としている。

【0050】即ち、高精細の液晶表示装置においては、その小さい画素のピッチで走査回路1段分をレイアウトするのが困難である。

【0051】そこで、走査回路における1段分の出力を複数の論理ゲート回路へ入力するというように、走査回路における1段分からの論理ゲート回路への入力数を増加させることにより、走査回路の段数を低減できる。

【0052】本発明においては、特に、 $M=4$ として、論理ゲート回路への入力数を4となるようにしているので、4画素分のピッチで走査回路の1段分のレイアウトを行うことができ、レイアウトを容易に行うことができる。

【0053】この結果、液晶表示装置を動作させるための駆動信号が少なく、かつ歩留向上を実現し得る液晶表示装置を提供することができる。

【0054】請求項8に係る発明の液晶表示装置は、上記課題を解決するために、複数の走査線と複数の信号線との各交点にスイッチング素子が配置されたアクティブマトリクスアレイと、上記走査線を駆動する垂直駆動回路と、上記信号線を駆動する水平駆動回路とからなる液晶表示装置において、上記垂直駆動回路は、スタートパルスを入力することにより、パルス信号をクロック信号の半周期分ずつ順次シフトして出力する $2 \times N$ 段(N は正の整数)の走査回路と、 M 個(M は2以上の整数)毎に各第1の制御端子が共通接続されて、これら共通接続された第1の制御端子毎に上記 $2 \times N$ 段の走査回路からの1段おきの出力信号がそれぞれ入力されると共に、

$(M-1)$ 個おきに M 種類の第2の制御信号を入力するための各第2の制御端子が共通接続された $(N \times M)$ 個の第6の論理ゲート回路とを備えていることを特徴としている。

【0055】上記の発明によれば、垂直駆動回路に入力される制御信号は、 $2 \times N$ 段(N は正の整数)の走査回路における最初の走査回路に入力されるスタートパルス

12

及びクロック信号と、 $(N \times M)$ 個の第6の論理ゲート回路に入力される M 種類の第2の制御信号となる。

【0056】即ち、従来であれば、第6の論理ゲート回路には、 $(2 \times M - 1)$ 個おきに種類の異なる信号が入力されていたので、第6の論理ゲート回路に入力される制御線が少なくとも $(2 \times M)$ 個必要となっていた。このため、垂直駆動回路に入力される制御線が多くなり入力パッドの面積が大きくなると共に、さらには、この制御線の本数分の配線の引き回しが必要であり、回路のレイアウトに必要な面積が大きくなるという問題点があった。

【0057】しかし、本発明では、第6の論理ゲート回路における各第2の制御端子は、 $(M-1)$ 個おきに共通接続されたものとなっている。このため、第2の制御端子の種類は、 M 個となり、従来の半分となる。

【0058】この結果、液晶表示装置を動作させるための駆動信号が少なく、かつ歩留向上を実現し得る液晶表示装置を提供することができる。

【0059】請求項9に係る発明の液晶表示装置の駆動方法は、上記課題を解決するために、請求項1記載の液晶表示装置の駆動方法であって、前記垂直駆動回路における走査回路に、走査線選択期間を T として、パルス幅が $(2 \times M \times T)$ であるスタートパルスを入力することにより、周期が $(2 \times M \times T)$ であるクロック信号を使用して半周期分順次シフトした信号をそれぞれ発生させ、次に、上記半周期分順次シフトした各信号と、周期が $(M \times T)$ であってパルス幅 (T) のパルスを入力する M 種類の第2の制御信号とを各第1の論理ゲート回路における第1の制御端子及び第2の制御端子にそれぞれ入力して、これら各第1の論理ゲート回路から、各パルス幅が (T) であって位相が互いに $((M-1) \times T)$ 離れた2個のパルスを発生させ、次に、上記2個のパルスと、周期 $(2 \times M \times T)$ かつパルス幅 $(M \times T)$ の正・逆パルスからなる2種類の各第3の制御信号のうちのいずれかをと第2の論理ゲート回路にそれぞれ入力してこれら各第2の論理ゲート回路からパルス幅 (T) の信号を出力させ、上記パルス幅 (T) の信号を順次走査線に入力することを特徴としている。

【0060】上記の発明によれば、垂直駆動回路における N 段の走査回路に、スタートパルスが入力されると、各走査回路から、周期が $(2 \times M \times T)$ であるクロック信号の半周期分ずつ順次シフトされたパルス信号がそれぞれ出力される。

【0061】これらパルス信号は、 $(N \times M)$ 個の第1の論理ゲート回路の各第1の制御端子に入力される。

【0062】ここで、 $(N \times M)$ の第1の論理ゲート回路は、 M 個毎に各第1の制御端子が共通接続されているので、上記各走査回路からのパルス信号は、それぞれ M 個の第1の論理ゲート回路に入力される。

【0063】また、各第1の論理ゲート回路には、他の

(8)

13

入力として、第2の制御端子から、 $(M-1)$ 個おきにM種類の第2の制御信号がそれぞれ入力される。各第2の制御信号は、周期が $(M \times T)$ であってパルス幅 (T) のパルスからなっている。

【0064】これによって、上記各第1の論理ゲート回路は、パルス幅が (T) であって位相が互いに $(M-1) \times T$ 離れた2個のパルスを発生する。

【0065】次に、上記2個のパルスと周期 $(2 \times M \times T)$ かつパルス幅 $(M \times T)$ の正・逆パルスからなる2種類の各第3の制御信号のうちのいずれかをと第2の論理ゲート回路にそれぞれ入力すると、各第2の論理ゲート回路からパルス幅 (T) の信号が出力される。

【0066】従って、これらパルス幅 (T) の信号を順次走査線に入力することにより、前記水平駆動回路の信号線からの信号とを組み合わせ、アクティブマトリクスアレイのスイッチング素子をON/OFFして液晶表示装置の画面を表示することができる。

【0067】即ち、従来であれば、第1の論理ゲート回路には、 $(2 \times M-1)$ 個おきに種類の異なる信号が入力されていたので、第1の論理ゲート回路に入力される制御線が少なくとも $(2 \times M)$ 個必要となっていた。このため、垂直駆動回路に入力される制御線が多くなり入力パッドの面積が大きくなると共に、さらには、この制御線の本数分の配線の引き回しが必要であり、回路のレイアウトに必要な面積が大きくなるという問題点があった。

【0068】しかし、本発明では、第1の論理ゲート回路における各第2の制御端子は、 $(M-1)$ 個おきに共通接続されたものとなっている。このため、第2の制御端子の種類は、M個となり、従来の半分となる。

【0069】また、配線が、第1の論理ゲート回路と第2の論理ゲート回路とに分散されるので、制御線が集中するのを防止することができる。

【0070】この結果、液晶表示装置を動作させるための駆動信号が少なく、かつ歩留向上を実現し得る液晶表示装置の駆動方法を提供することができる。

【0071】請求項10に係る発明の液晶表示装置の駆動方法は、上記課題を解決するために、請求項2記載の液晶表示装置の駆動方法であって、前記垂直駆動回路における走査回路に、走査線選択期間を T として、パルス幅が $(2 \times M \times T)$ であるスタートパルスを入力することにより、周期が $(2 \times M \times T)$ であるクロック信号を使用して半周期分順次シフトした信号をそれぞれ発生させ、次に、上記半周期分順次シフトした信号をパルス幅短縮手段に入力してパルス幅 $(M \times T)$ のパルスをそれぞれ発生させ、上記パルス幅短縮手段からの出力と、周期が $(M \times T)$ であってパルス幅 (T) のパルスを出力するM種類の第2の制御信号とを各第6の論理ゲート回路における第1の制御端子及び第2の制御端子にそれぞれ入力し、これら各第3の論理ゲート回路から各パルス

14

幅が (T) の信号を発生させ、上記パルス幅 (T) の信号を順次走査線に入力することを特徴としている。

【0072】上記の発明によれば、垂直駆動回路におけるN段の走査回路に、スタートパルスが入力されると、各走査回路から、周期が $(2 \times M \times T)$ であるクロック信号の半周期分ずつ順次シフトされたパルス信号がそれぞれ出力される。

【0073】これらパルス信号は、パルス幅短縮手段に入力され、このパルス幅短縮手段にて、出力パルスのパルス幅を小さくしてパルス幅 $(M \times T)$ のパルスをそれぞれ発生させる。

【0074】これらパルス幅短縮手段の出力は、 $(N \times M)$ 個の第3の論理ゲート回路の各第1の制御端子に入力される。

【0075】ここで、 $(N \times M)$ の第3の論理ゲート回路は、M個毎に各第1の制御端子が共通接続されているので、上記各パルス幅短縮手段からのパルス信号は、それぞれM個の第3の論理ゲート回路に入力される。

【0076】また、各第3の論理ゲート回路には、他の入力として、第2の制御端子から、 $(M-1)$ 個おきにM種類の第2の制御信号がそれぞれ入力される。各第2の制御信号は、周期が $(M \times T)$ であってパルス幅 (T) のパルスからなっている。

【0077】これによって、上記各第3の論理ゲート回路から、パルス幅 (T) の信号が出力される。

【0078】従って、これらパルス幅 (T) の信号を順次走査線に入力することにより、前記水平駆動回路の信号線からの信号とを組み合わせ、アクティブマトリクスアレイのスイッチング素子をON/OFFして液晶表示装置の画面を表示することができる。

【0079】即ち、従来であれば、第3の論理ゲート回路には、 $(2 \times M-1)$ 個おきに種類の異なる信号が入力されていたので、第3の論理ゲート回路に入力される制御線が少なくとも $(2 \times M)$ 個必要となっていた。このため、垂直駆動回路に入力される制御線が多くなり入力パッドの面積が大きくなると共に、さらには、この制御線の本数分の配線の引き回しが必要であり、回路のレイアウトに必要な面積が大きくなるという問題点があった。

【0080】しかし、本発明では、各走査回路の出力パルスのパルス幅を小さくして出力するパルス幅短縮手段を設けたことにより、第3の論理ゲート回路における各第2の制御端子を $(M-1)$ 個おきに共通接続することが可能となる。従って、第2の制御端子の種類は、M個となり、従来の半分となる。

【0081】また、配線が、各パルス幅短縮手段と第3の論理ゲート回路とに分散されるので、制御線が集中するのを防止することができる。

【0082】この結果、液晶表示装置を動作させるための駆動信号が少なく、かつ歩留向上を実現し得る液晶表

(9)

15

示装置の駆動方法を提供することができる。

【0083】請求項11に係る発明の液晶表示装置の駆動方法は、上記課題を解決するために、請求項8記載の液晶表示装置の駆動方法であって、前記垂直駆動回路における走査回路に、走査線選択期間を T として、パルス幅が $(M \times T)$ であるスタートパルスを入力することにより、周期が $(M \times T)$ であるクロック信号を使用して半周期分順次シフトした信号をそれぞれ発生させ、次に、上記 $2 \times N$ 段の走査回路からの1段おきに取り出した1周期分順次シフトした各出力信号と、周期が $(M \times T)$ であってパルス幅 (T) のパルスを入力する M 種類の第2の制御信号とを各第6の論理ゲート回路における第1の制御端子及び第2の制御端子にそれぞれ入力し、これら各第6の論理ゲート回路から各パルス幅が (T) の信号を発生させ、上記パルス幅 (T) の信号を順次走査線に入力することを特徴としている。

【0084】上記発明によれば、垂直駆動回路における $2 \times N$ 段の走査回路に、パルス幅が $(M \times T)$ のスタートパルスが入力されると、各走査回路から、周期が $(M \times T)$ であるクロック信号の半周期分ずつ順次シフトされたパルス信号がそれぞれ出力される。従って、上記 $2 \times N$ 段の走査回路からの1段おきに取り出した出力信号は、それぞれ1周期分順次シフトしたものとなる。

【0085】これらパルス信号は、 $(N \times M)$ 個の第6の論理ゲート回路の各第1の制御端子に入力される。

【0086】ここで、 $(N \times M)$ の第6の論理ゲート回路は、 M 個毎に各第1の制御端子が共通接続されているので、上記1段おきの走査回路からのパルス信号は、それぞれ M 個の第6の論理ゲート回路に入力される。

【0087】また、各第6の論理ゲート回路には、他の入力として、第2の制御端子から、 $(M-1)$ 個おきに M 種類の第2の制御信号がそれぞれ入力される。各第2の制御信号は、周期が $(M \times T)$ であってパルス幅 (T) のパルスからなっている。

【0088】これによって、上記各第6の論理ゲート回路から、パルス幅 (T) の信号が出力される。

【0089】従って、これらパルス幅 (T) の信号を順次走査線に入力することにより、前記水平駆動回路の信号線からの信号とを組み合わせ、アクティブマトリクスアレイのスイッチング素子をON/OFFして液晶表示装置の画面を表示することができる。

【0090】即ち、従来であれば、第6の論理ゲート回路には、 $(2 \times M-1)$ 個おきに種類の異なる信号が入力されていたので、第6の論理ゲート回路に入力される制御線が少なくとも $(2 \times M)$ 個必要となっていた。このため、垂直駆動回路に入力される制御線が多くなり入力パッドの面積が大きくなると共に、さらには、この制御線の本数分の配線の引き回しが必要であり、回路のレイアウトに必要な面積が大きくなるという問題点があった。

16

【0091】しかし、本発明では、スタートパルスを入力することによりパルス信号をクロック信号の半周期分ずつ順次シフトして出力する走査回路を $2 \times N$ 段(N は正の整数)に設け、かつ、その出力信号の取り出しを $2 \times N$ 段の走査回路における1段おきに行うことによって、各出力信号をそれぞれ1周期分順次シフトさせている。この結果、第6の論理ゲート回路における各第2の制御端子を $(M-1)$ 個おきに共通接続することが可能となる。従って、第2の制御端子の種類は、 M 個となり、従来の半分となる。

【0092】従って、液晶表示装置を動作させるための駆動信号が少なく、かつ歩留向上を実現し得る液晶表示装置の駆動方法を提供することができる。

【0093】請求項12に係る発明の液晶表示装置の駆動方法は、上記課題を解決するために、請求項1記載の液晶表示装置の駆動方法であって、前記垂直駆動回路における走査回路に、走査線選択期間を T として、パルス幅が $(M \times T)$ であるスタートパルスを入力し、周期が $(M \times T)$ であるクロック信号を使用して半周期分順次シフトした信号をそれぞれ発生させ、次に、上記半周期分順次シフトした信号と、 M 種類の制御端子のうち $(M/2)$ 個の制御端子に周期が $((M/2) \times T)$ の制御信号とを第1の論理ゲート回路に入力し、パルス幅が (T) で $((M/2)-1) \times T$ 離れた2個のパルスを第1の論理ゲート回路から発生させ、上記2個のパルスと周期が $(M \times T)$ である第3の制御信号とを第2の論理ゲート回路に入力し、パルス幅 (T) の信号を該第2の論理ゲート回路から出力させ、上記パルス幅 (T) の信号を走査線1本おきに順次入力することを特徴としている。

【0094】上記発明によれば、第2の制御端子の種類は、 M 個となり、従来の半分となる。従って、液晶表示装置を動作させるための駆動信号が少なく、かつ歩留向上を実現し得る液晶表示装置の駆動方法を提供することができる。

【0095】また、パルス幅 (T) の信号を走査線1本おきに順次入力する。このため、請求項1記載の液晶表示装置を用いて、走査線1本おきに順次入力するインターレース走査を行うことができる。

【0096】請求項13に係る発明の液晶表示装置の駆動方法は、上記課題を解決するために、請求項1記載の液晶表示装置の駆動方法であって、前記垂直駆動回路における走査回路に、走査線選択期間を T として、パルス幅が $(M \times T)$ であるスタートパルスを入力し、周期が $(M \times T)$ であるクロック信号を使用して半周期分順次シフトした信号をそれぞれ発生させ、次に、上記半周期分順次シフトした信号と、 M 種類の制御端子に周期が $((M/2) \times T)$ である $M/2$ 種類の制御信号とを第1の論理ゲート回路に入力し、パルス幅が (T) で $((M/2)-1) \times T$ 離れた2個のパルスを第1

(10)

17

の論理ゲート回路から発生させ、上記2個のパルスと周期($M \times T$)である第3の制御信号とを第2の論理ゲート回路に入力し、パルス幅(T)の信号を該第2の論理ゲート回路から出力させ、上記パルス幅(T)の信号を走査線2本ずつ順次入力することを特徴としている。

【0097】上記発明によれば、第2の制御端子の種類は、 M 個となり、従来の半分となる。従って、液晶表示装置を動作させるための駆動信号が少なく、かつ歩留向上を実現し得る液晶表示装置の駆動方法を提供することができる。

【0098】また、パルス幅(T)の信号を走査線2本ずつ順次入力する。このため、請求項1記載の液晶表示装置を用いて、走査線2本ずつ順次入力する2本同時走査を行うことができる。

【0099】請求項14に係る発明の液晶表示装置の駆動方法は、上記課題を解決するために、請求項2記載の液晶表示装置の駆動方法であって、前記垂直駆動回路における走査回路に、走査線選択期間を T として、パルス幅が($M \times T$)であるスタートパルスを入力し、周期が($M \times T$)であるクロック信号を使用して半周期分順次シフトした信号をそれぞれ発生させ、次に、上記半周期分順次シフトした信号をパルス幅短縮手段に入力し、パルス幅($M \times T / 2$)のパルスをそれぞれ発生させ、上記パルス幅短縮手段からの出力と、 M 本の制御端子のうち($M / 2$)本の制御端子には周期が($M \times T / 2$)である制御信号とを各第3の論理ゲート回路における第1の制御端子及び第2の制御端子にそれぞれ入力し、パルス幅(T)の信号を該第3の論理ゲート回路から出力させ、上記パルス幅(T)の信号を走査線1本おきに順次入力することを特徴としている。

【0100】上記の発明によれば、第2の制御端子の種類は、 M 個となり、従来の半分となる。従って、液晶表示装置を動作させるための駆動信号が少なく、かつ歩留向上を実現し得る液晶表示装置の駆動方法を提供することができる。

【0101】また、パルス幅(T)の信号を走査線1本おきに順次入力する。このため、請求項2記載の液晶表示装置を用いて、走査線1本おきに順次入力するインターレース走査を行うことができる。

【0102】請求項15に係る発明の液晶表示装置の駆動方法は、上記課題を解決するために、請求項2記載の液晶表示装置の駆動方法であって、前記垂直駆動回路における走査回路に、走査線選択期間を T として、パルス幅が($M \times T$)であるスタートパルスを入力し、周期が($M \times T$)であるクロック信号を使用して半周期分順次シフトした信号をそれぞれ発生させ、次に、上記半周期分順次シフトした信号をパルス幅短縮手段に入力し、パルス幅($M \times T / 2$)のパルスをそれぞれ発生させ、上記パルス幅短縮手段からの出力と、 M 本の制御端子には周期が($M \times T / 2$)である $M / 2$ 種類の制御信号とを

18

各第3の論理ゲート回路における第1の制御端子及び第2の制御端子にそれぞれ入力し、パルス幅(T)の信号を該第3の論理ゲート回路から出力させ、上記パルス幅(T)の信号を走査線2本ずつ順次入力することを特徴としている。

【0103】上記の発明によれば、第2の制御端子の種類は、 M 個となり、従来の半分となる。従って、液晶表示装置を動作させるための駆動信号が少なく、かつ歩留向上を実現し得る液晶表示装置の駆動方法を提供することができる。

【0104】また、パルス幅(T)の信号を走査線2本ずつ順次入力する。このため、請求項2記載の液晶表示装置を用いて、走査線2本ずつ順次入力する2本同時走査を行うことができる。

【0105】請求項16に係る発明の液晶表示装置の駆動方法は、上記課題を解決するために、請求項8記載の液晶表示装置の駆動方法であって、前記垂直駆動回路における走査回路に、走査線選択期間を T として、パルス幅が($M \times T$)であるスタートパルスを入力し、周期が($M \times T$)であるクロック信号を使用して半周期分順次シフトした信号をそれぞれ発生させ、次に、上記 $2 \times N$ 段の走査回路からの1段おきに取出した1周期分順次シフトした各出力信号と、 M 本の制御端子のうち($M / 2$)本の制御端子には周期が($M \times T / 2$)である制御信号とを各第6の論理ゲート回路における第1の制御端子及び第2の制御端子にそれぞれ入力し、パルス幅

(T)の信号を該第6の論理ゲート回路から出力させ、上記パルス幅(T)の信号を走査線1本おきに順次入力することを特徴としている。

【0106】上記の発明によれば、第2の制御端子の種類は、 M 個となり、従来の半分となる。従って、液晶表示装置を動作させるための駆動信号が少なく、かつ歩留向上を実現し得る液晶表示装置の駆動方法を提供することができる。

【0107】また、パルス幅(T)の信号を走査線1本おきに順次入力する。このため、請求項8記載の液晶表示装置を用いて、走査線1本おきに順次入力するインターレース走査を行うことができる。

【0108】請求項17に係る発明の液晶表示装置の駆動方法は、上記課題を解決するために、請求項8記載の液晶表示装置の駆動方法であって、前記垂直駆動回路における走査回路に、走査線選択期間を T として、パルス幅が($M \times T$)であるスタートパルスを入力し、周期が($M \times T$)であるクロック信号を使用して半周期分順次シフトした信号をそれぞれ発生させ、次に、上記 $2 \times N$ 段の走査回路からの1段おきに取出した1周期分順次シフトした各出力信号と、 M 本の制御端子には周期が($M \times T / 2$)である $M / 2$ 種類の制御信号とを各第6の論理ゲート回路における第1の制御端子及び第2の制御端子にそれぞれ入力し、パルス幅(T)の信号を該第

(11)

19

6の論理ゲート回路から出力させ、上記パルス幅(T)の信号を走査線2本ずつ順次入力することを特徴としている。

【0109】上記の発明によれば、第2の制御端子の種類は、M個となり、従来の半分となる。従って、液晶表示装置を動作させるための駆動信号が少なく、かつ歩留向上を実現し得る液晶表示装置の駆動方法を提供することができる。

【0110】また、パルス幅(T)の信号を走査線2本ずつ順次入力する。このため、請求項8記載の液晶表示装置を用いて、走査線2本ずつ順次入力する2本同時走査を行うことができる。

【0111】

【発明の実施の形態】【実施の形態1】本発明の実施の一形態について図1ないし図3に基づいて説明すれば、以下の通りである。

【0112】本実施の形態の液晶表示装置は、アクティブマトリクス型の液晶表示装置であり、図3に示すように、走査線と信号線との交点にスイッチング素子としての薄膜トランジスタを配置して構成されたアクティブマトリクスアレイ1と、信号線を駆動する水平駆動回路2と、走査線を駆動する垂直駆動回路10とから構成されている。尚、この液晶表示装置では、走査線の数例えば1024本としている。但し、必ずしもこの数には限らない。

【0113】上記の液晶表示装置の垂直駆動回路10は、図1に示すように、スタートパルスSTaをクロック信号CLKに同期して1段につき半パルスずつ順次シフトするハーフビット構成の走査回路(以下、「ハーフビット構成走査回路」という)11-1~11-257と、これらハーフビット構成走査回路11-1~11-257の各出力信号P1・P2・P3...P256が入力される第1の論理ゲート回路としてのANDゲート回路12-1~12-1024と、これら各ANDゲート回路12-1~12-1024の出力GPP1・GPP2...GPP1024が入力される第2の論理ゲート回路を構成するNANDゲート回路13-1~13-1024と、上記NANDゲート回路13-1~13-1024の出力信号を入力して出力信号GP1・GP2...GP1024を出力する各出力バッファ回路14...とから構成されている。尚、本実施の形態では、上記各NANDゲート回路13-1~13-1024と上記各出力バッファ回路14...との組み合わせによって、各第2の論理ゲート回路が構成されている。

【0114】上記ハーフビット構成走査回路11-1~11-257は、N段(Nは正の整数)としての256段に一段を加えたものからなっている。この最後の一段のハーフビット構成走査回路11-257は終端装置としての機能を有するものとなっており、この出力を取り出すという事は行われない。

20

【0115】上記のハーフビット構成走査回路11-1には、スタートパルスSTaとクロック信号CLKとその反転クロック信号/CLKが入力される。

【0116】一方、上記ANDゲート回路12-1~12-1024のそれぞれには入力用の端子として、第1の制御端子と第2の制御端子とが設けられている。

【0117】各第1の制御端子は、M個(Mは2以上の整数)としての例えば4個毎に共通接続されていると共に、それら4個毎に共通接続されたものが、上記ハーフビット構成走査回路11-1~11-256の各出力端子に接続されている。この結果、ANDゲート回路12-1~12-1024には、4個毎にANDゲート回路12-1~12-1024からの出力信号P1・P2...P256が第1の制御端子に入力されるものとなっている。

【0118】また、ANDゲート回路12-1~12-1024は、(N×M)個としての256×4=1024個となっている。これによって、上記の走査線の数1024本に対応するものとなっている。

【0119】さらに、上記のANDゲート回路12-1~12-1024における各第2の制御端子には、外部から入力される第2の制御信号G1・G2・G3・G4が順次入力されるようになっている。

【0120】即ち、各ANDゲート回路12-1~12-1024における各第2の制御端子には、一般的には、(M-1)個おきにM種類の信号が入力されるようになっており、本実施の形態では、M個として例えば4個となっており、(M-1)個おきとしての3個おきに上記各第2の制御信号G1・G2・G3・G4が入力されている。またこれら各第2の制御信号G1同士、各第2の制御信号G2、各第2の制御信号G3同士、及び各第2の制御信号G4同士は、互いに共通接続されている。

【0121】一方、上記各NANDゲート回路13-1~13-1024には、上記ANDゲート回路12-1~12-1024の出力信号GPP1・GPP2...GPP1024が入力されると共に、第3の制御信号PP1・PP2のうちのいずれか一方が入力されるようになっている。

【0122】本実施の形態では、上記第3の制御信号PP1・PP2は、NANDゲート回路13-1~13-1024に対して、4個毎に交互に入力されるようになっている。即ち、最初の4個のNANDゲート回路13-1~13-4には、第3の制御信号PP1が入力され、次の4個のNANDゲート回路13-5~13-8には、第3の制御信号PP2が入力される。また、次の4個のNANDゲート回路13-9~13-12には、第3の制御信号PP1が入力され、さらに次の4個のNANDゲート回路13-13~13-16には、第3の制御信号PP2が入力される。以下同様に、4個毎に第

(12)

21

3の制御信号PP1・PP2が交互に入力されるようになっている。

【0123】上記のNANDゲート回路13-1~13-1024の各出力信号は、出力バッファ回路14にて反転されて出力信号GP1・GP2…GP1024として各走査線に入力される。

【0124】即ち、本垂直駆動回路10の特徴は、従来例と比較して、前記図20に示すNANDゲート回路105-1~105-1024を、ANDゲート回路12-1~12-1024とNANDゲート回路13-1~13-1024とを組み合わせることにより、ANDゲート回路12-1~12-1024への制御信号の本数を半分にしていることにある。尚、本実施の形態においては、ANDゲート回路12-1~12-1024とNANDゲート回路13-1~13-1024とを組み合わせ使用しているが、必ずしもこれに限らず、これらの回路と同様の機能を有する回路を組み合わせ使用することも可能である。例えば、ハーフビット構成走査回路11-1~11-256から出力させた反転したパルスと、反転させた制御信号とをNORゲート回路に入力しても良い。このような方法は、後述する他の実施の形態についても同様である。

【0125】上記の構成の液晶表示装置における駆動方法を、図2に示す順次走査を行った場合のタイミングチャートにて説明する。尚、上記の順次走査とは、奇数ライン又は偶数ラインに関係なく順番に走査する方式をいう。

【0126】先ず、前記ハーフビット構成走査回路11-1~11-257に、Tを走査線選択期間としてパルス幅が(8T)であるスタートパルスSTa、周期が(8T)であるクロック信号CLK及びその反転クロック信号/CLKを入力する。これにより、ハーフビット構成走査回路11-1~11-257から出力P1~P256が発生する。

【0127】このとき、本実施の形態では、ANDゲート回路12-1~12-1024に入力される制御信号として、同図に示すように、第2の制御信号G1~G4の4本の信号を使用する。従って、この制御信号の本数は従来の1/2の本数となっている。

【0128】尚、本実施の形態においては、同図に示すように、映像信号書き込み期間直後のブランキング期間においても第2の制御信号G1~G4のパルスが発生しているが、必ずしもこれに限らず、ブランキング期間にパルスを発生させなくとも良い。

【0129】その後、これらANDゲート回路12-1~12-1024の出力GPP1~GPP1024には、同図に示される2個の出力パルスが現れる。これら2個の出力パルスがNANDゲート回路13-1~13-1024に入力する。その際、奇数段目のハーフビット構成走査回路11-1・11-3・11-5…の出力

22

が接続しているNANDゲート回路13-1~13-4・13-9~13-12…には第3の制御信号PP1が入力される一方、偶数段目のハーフビット構成走査回路11-2・11-4・11-6…の出力が接続しているNANDゲート回路13-5~13-8・13-13~13-16…には第3の制御信号PP2が入力される。

【0130】上記の第3の制御信号PP1としては、ハーフビット構成走査回路11-1~11-257に入力するクロック信号CLKを使用すれば良く、また、第3の制御信号PP2として反転クロック信号/CLKを使用すれば良い。このため、新たな制御信号を作成する必要が無く、また、外部からの信号入力端子を新たに作成する必要も無い。

【0131】こうして、NANDゲート回路13-1~13-1024からの出力及び出力バッファ回路14からの出力信号としてGP1~GP1024のパルス幅が(T)であり、位相が(T)ずつ順次シフトしたパルスが発生し、これにより走査線を順次走査することができる。

【0132】これら垂直駆動回路10からの各出力信号GP1・GP2…GP1024と、前記水平駆動回路2からの各信号線の信号により、アクティブマトリクスアレイ1における走査線と信号線との交点に配置して設けられた各薄膜トランジスタにON/OFF信号を供給し、液晶表示装置の画面が画素毎に表示される。

【0133】この結果、制御信号数を削減することができるので、液晶表示装置の小型化及び低コスト化を図ることができる。

【0134】このように、本実施の形態の液晶表示装置及びその駆動方法では、垂直駆動回路10における256段のハーフビット構成走査回路11-1~11-257に、スタートパルスSTaが入力されると、各ハーフビット構成走査回路11-1~11-257から、周期が(2×4×T)であるクロック信号CLKの半周期分ずつ順次シフトされたパルス信号である出力信号P1・P2・P3…P256がそれぞれ出力される。

【0135】これらパルス信号は、(256×4)個のANDゲート回路12-1~12-1024の各第1の制御端子に入力される。

【0136】ここで、(256×4)のANDゲート回路12-1~12-1024は、4個毎に各第1の制御端子が共通接続されているので、上記各ハーフビット構成走査回路11-1~11-257からのパルス信号は、それぞれ4個のANDゲート回路12-1~12-4・12-5~12-8…12-1021~12-1024に入力される。

【0137】また、各ANDゲート回路12-1~12-1024には、他の入力として、第2の制御端子から、3個おきに4種類の第2の制御信号G1~G4がそれぞれ入力される。各第2の制御信号G1~G4は、周

(13)

23

期が $(4 \times T)$ であってパルス幅 (T) のパルスからなっている。

【0138】これによって、上記各ANDゲート回路12-1~12-1024は、パルス幅が (T) であって位相が互いに $((4-1) \times T)$ 離れた2個のパルスを発生する。

【0139】次に、上記2個のパルスと周期 $(2 \times 4 \times T)$ かつパルス幅 $(4 \times T)$ の正・逆パルスからなる2種類の各第3の制御信号PP1・PP2のうちのいずれかとをNANDゲート回路13-1~13-1024にそれぞれ入力すると、各NANDゲート回路13-1~13-1024及び出力バッファ回路14...からパルス幅 (T) の信号が出力される。

【0140】従って、これらパルス幅 (T) の信号を順次走査線に入力することにより、水平駆動回路2の信号線からの信号とを組み合わせ、アクティブマトリクスアレイ1の薄膜トランジスタをON/OFFして液晶表示装置の画面を表示することができる。

【0141】即ち、従来であれば、NANDゲート回路105-1~105-1024(図20参照)には、 $(2 \times 4 - 1 = 7)$ 個おきに種類の異なる信号が入力されていたので、NANDゲート回路105-1~105-1024に入力される制御線が少なくとも (2×4) 個必要となっていた。このため、垂直駆動回路10に入力される制御線が多くなり入力パッドの面積が大きくなると共に、さらには、この制御線の本数分の配線の引き回しが必要であり、回路のレイアウトに必要な面積が大きくなるという問題点があった。

【0142】しかし、本実施の形態では、垂直駆動回路10に入力される制御信号は、最初の走査回路ハーフビット構成走査回路11-1に入力されるスタートパルスSTa、クロック信号CLK及び反転クロック信号/CLKと、 $256 \times 4 = 1024$ 個のANDゲート回路12-1~12-1024に入力される4種類の第2の制御信号G1~G4と、NANDゲート回路13-1~13-1024に入力される2種類の第3の制御信号PP1・PP2となる。即ち、ANDゲート回路12-1~12-1024における各第2の制御端子は、 $(4-1=3)$ 個おきに共通接続されたものとなっている。

【0143】このため、第2の制御端子の種類は、4個となり、従来の半分となる。

【0144】また、配線が、ANDゲート回路12-1~12-1024とNANDゲート回路13-1~13-1024とに分散されるので、制御線が集中するのを防止することができる。

【0145】即ち、制御端子数を低減させることにより、垂直駆動回路10及び入力パッドの面積を小さくすることができるので、1枚のガラス基板から複数の液晶表示装置を取り出すいわゆる多数枚取りの場合に、基板に対する乗り数が増え、良品パネル数を増加させること

24

ができる。

【0146】また、垂直駆動回路10及び入力パッドの面積が小さくなることで、液晶表示装置の表示部周辺の額縁領域が小さくなり、パーソナルコンピュータ等への組み込みが行い易くなる。

【0147】さらに、ハーフビット構成走査回路11-1~11-256における1段分の出力をそれぞれ4個のANDゲート回路12-1~12-4・12-5~12-8...12-1021~12-1024に入力するということにより、ハーフビット構成走査回路11-1~11-256における1段分からのANDゲート回路12-1~12-1024への入力数を増加させることにより、ハーフビット構成走査回路11-1~11-256の段数を、必要な走査線の数1024本よりも低減できるので、特に、高精細の液晶表示装置においては、その小さい画素のピッチで走査回路1024段をレイアウトするのが困難であるが、本実施の形態においては、レイアウトが容易になる。

【0148】特に、本実施の形態では、 $M=4$ として、ANDゲート回路12-1~12-1024への入力数を4となるようにしているので、4画素分のピッチでハーフビット構成走査回路11-1~11-256のレイアウトを行うことができ、レイアウトを容易に行うことができる。

【0149】この結果、液晶表示装置を動作させるための駆動信号が少なく、かつ歩留向上を実現し得る液晶表示装置を提供することができる。

【0150】また、本実施の形態では、第3の制御信号PP1・PP2は、クロック信号CLK及び反転クロック信号/CLKを使用している。このため、第3の制御信号PP1・PP2として新たな制御線を垂直駆動回路10に入力しなくても良くなる。

【0151】この結果、従来であれば、垂直駆動回路10に入力される制御線が多くなり入力パッドの面積が大きくなると共に、さらには、この制御線の本数分の配線の引き回しが必要であり、回路のレイアウトに必要な面積が大きくなるという問題点があったが、既設の制御線を利用することによって、これを防止することができる。

【0152】従って、液晶表示装置を動作させるための駆動信号が少なく、かつ歩留向上を実現し得る液晶表示装置及びその駆動方法を提供することができる。

【0153】〔実施の形態2〕本発明の他の実施の形態について図4及び図5に基づいて説明すれば、以下の通りである。尚、説明の便宜上、前記の実施の形態1の図面に示した部材と同一の機能を有する部材については、同一の符号を付し、その説明を省略する。

【0154】本実施の形態の液晶表示装置の垂直駆動回路20は、図4に示すように、スタートパルスSTaをクロック信号CLKに同期して1段につき半パルスずつ

(14)

25

順次シフトするハーフビット構成走査回路11-P・11-1~11-257と、そのハーフビット構成走査回路11-P・11-1~11-256の各出力信号Q1・P1・P2・P3…P256と、隣り合うこれらの出力信号Q1とP1、P1とP2、…、P255とP256を入力信号とする第4の論理ゲート回路としてのANDゲート回路21-1・21-2~21-256と、これらANDゲート回路21-1・21-2~21-256からの出力信号GPP1・GPP2…GPP256と第2の制御信号G1・G2・G3・G4とを入力信号とする第3の論理ゲート回路を構成するNANDゲート回路15-1~15-1024と、これらNANDゲート回路15-1~15-1024の出力信号を入力信号とする出力バッファ回路14とから構成されている。

【0155】尚、本実施の形態では、NANDゲート回路15-1~15-1024と出力バッファ回路14…との組み合わせによって、第3の論理ゲート回路が構成されている。

【0156】また、各ハーフビット構成走査回路11-1~11-257の出力パルスのパルス幅を小さくして出力するパルス幅短縮手段としての機能を、256段のハーフビット構成走査回路11-1~11-257における隣り合う出力パルスが入力されるANDゲート回路21-1・21-2~21-256にて構成することにより果たしている。

【0157】本回路の特徴は、従来例と比較して、ハーフビット構成走査回路11-P・11-1~11-257とNANDゲート回路15-1~15-1024との間に、ANDゲート回路21-1・21-2~21-256を設けることにより、NANDゲート回路15-1~15-1024への第2の制御信号G1~G4の本数を半分にしていることにある。

【0158】また、隣り合うハーフビット構成走査回路11-P・11-1~11-257からの出力信号をANDゲート回路21-1・21-2~21-256に入力している。これらANDゲート回路21-1・21-2~21-256からの出力信号は256本必要であるので、ハーフビット構成走査回路11-1の前段にもう1段の予備の走査回路11-Pを設けている。尚、この予備の走査回路11-Pは、11-257の後段に設けても構わない。

【0159】上記の構成の液晶表示装置における駆動方法を、図5に示す順次走査を行った場合のタイミングチャートにて説明する。

【0160】まず、前記ハーフビット構成走査回路11-P・11-1~11-257にTを走査線選択期間としてパルス幅が(8T)であるスタートパルスSTa、周期が(8T)であるクロック信号CLK、及びその反転信号である反転クロック信号/CLKを入力する。

【0161】これにより、ハーフビット構成走査回路1

26

1-P・11-1~11-257からの出力Q1・P1~P256が発生する。その後、隣り合うハーフビット構成走査回路11-P・11-1~11-257からの出力Q1とP1、P1とP2、…、P255とP256とがANDゲート回路21-1・21-2~21-256に入力し、これらANDゲート回路21-1・21-2~21-256から、ハーフビット構成走査回路11-P・11-1~11-257からの出力パルスの半分の出力パルス幅(4T)であるGPP1・GPP2~GPP256が出力される。

【0162】次に、これら出力GPP1~GPP256がNANDゲート回路15-1~15-1024に入力するが、これらNANDゲート回路15-1~15-1024の制御信号として、同図に示す第2の制御信号G1~G4の4本の信号を使用し、制御信号の本数を従来の1/2の本数とする。

【0163】こうして、NANDゲート回路15-1~15-1024からの出力及び出力バッファ回路14からの出力信号としてGP1~GP1024のパルス幅が(T)であり、位相が(T)ずつ順次シフトしたパルスが発生し、これにより走査線を順次走査する。

【0164】この結果、制御信号数を削減することができるので、液晶表示装置の小型化及び低コスト化を図ることができる。

【0165】このように、本実施の形態の液晶表示装置及びその駆動方法では、垂直駆動回路2.0における256段のハーフビット構成走査回路11-1~11-257に、スタートパルスSTaが入力されると、各ハーフビット構成走査回路11-1~11-257から、周期が(2×4×T)であるクロック信号CLKの半周期分ずつ順次シフトされたパルス信号である出力信号Q1・P1・P2・P3…P256がそれぞれ出力される。

【0166】これらパルス信号は、パルス幅短縮手段としてのANDゲート回路21-1・21-2~21-256に入力され、このANDゲート回路21-1・21-2~21-256にて、出力パルスのパルス幅を小さくしてパルス幅(4×T)のパルスをそれぞれ発生する。

【0167】これらANDゲート回路21-1・21-2~21-256の出力は、(256×4=1024)個のNANDゲート回路15-1~15-1024の各第1の制御端子に入力される。

【0168】ここで、(256×4=1024)のNANDゲート回路15-1~15-1024は、4個毎に各第1の制御端子が共通接続されているので、上記各ANDゲート回路21-1・21-2~21-256からのパルス信号は、それぞれ4個のNANDゲート回路15-1~15-4・15-5~15-8…15-1021~15-1024に入力される。

【0169】また、各NANDゲート回路15-1~1

(15)

27

5-1024には、他の入力として、第2の制御端子から、 $(4-1=3)$ 個おきに4種類の第2の制御信号G1~G4がそれぞれ入力される。各第2の制御信号G1~G4は、周期が $(4 \times T)$ であってパルス幅(T)のパルスからなっている。

【0170】これによって、上記各NANDゲート回路15-1~15-1024及び出力バッファ回路14…から、パルス幅(T)の信号が出力される。

【0171】従って、これらパルス幅(T)の信号を順次走査線に入力することにより、水平駆動回路2の信号線からの信号とを組み合わせ、アクティブマトリクスアレイ1の薄膜トランジスタをON/OFFして液晶表示装置の画面を表示することができる。

【0172】即ち、従来であれば、NANDゲート回路105-1~105-1024(図20参照)には、

$(2 \times 4 - 1 = 7)$ 個おきに種類の異なる信号が入力されていたので、NANDゲート回路105-1~105-1024に入力される制御線が少なくとも $(2 \times 4 = 8)$ 個必要となっていた。このため、垂直駆動回路20に入力される制御線が多くなり入力パッドの面積が大きくなると共に、さらには、この制御線の本数分の配線の引き回しが必要であり、回路のレイアウトに必要な面積が大きくなるという問題点があった。

【0173】しかし、本実施の形態では、各ハーフビット構成走査回路11-1~11-257の出力パルスのパルス幅を小さくして出力するパルス幅短縮手段としてのANDゲート回路21-1・21-2~21-256を設けたことにより、NANDゲート回路15-1~15-1024における各第2の制御端子を $(4-1=3)$ 個おきに共通接続することが可能となる。従って、第2の制御端子の種類は、4個となり、従来の半分となる。

【0174】また、配線が、各ANDゲート回路21-1・21-2~21-256とNANDゲート回路15-1~15-1024とに分散されるので、制御線が集中するのを防止することができる。

【0175】この結果、液晶表示装置を動作させるための駆動信号が少なく、かつ歩留向上を実現し得る液晶表示装置及びその駆動方法を提供することができる。

【0176】また、本実施の形態における液晶表示装置では、特に、各ハーフビット構成走査回路11-1~11-257の出力パルスのパルス幅を小さくして出力するパルス幅短縮手段として、256段のハーフビット構成走査回路11-1~11-257における隣り合う出力パルスが入力されるANDゲート回路21-1・21-2~21-256にて構成している。

【0177】この結果、確実に、液晶表示装置を動作させるための駆動信号が少なく、かつ歩留向上を実現し得る液晶表示装置及びその駆動方法を提供することができる。

28

【0178】〔実施の形態3〕本発明の他の実施の形態について図6及び図7に基づいて説明すれば、以下の通りである。尚、説明の便宜上、前記の実施の形態1及び実施の形態2の図面に示した部材と同一の機能を有する部材については、同一の符号を付し、その説明を省略する。

【0179】本実施の形態の液晶表示装置の垂直駆動回路30は、図6に示すように、スタートパルスSTaをクロック信号CLKに同期して1段につき半パルスずつ順次シフトするハーフビット構成走査回路11-1~11-257と、そのハーフビット構成走査回路11-1~11-257の各出力信号P1・P2・P3…P256と第4の制御信号H1・H2を入力信号とするパルス幅短縮手段及び第5の論理ゲート回路としてのANDゲート回路31-1・31-2~31-256と、これらANDゲート回路31-1・31-2~31-256からの出力信号PP1・PP2…PP256と第2の制御信号G1・G2・G3・G4とを入力信号とするNANDゲート回路15-1~15-1024と、それらNANDゲート回路15-1~15-1024の出力信号を入力信号とする出力バッファ回路14とから構成されている。

【0180】本回路の特徴は、従来例と比較してANDゲート回路31-1・31-2~31-256を設けることにより、NANDゲート回路15-1~15-1024への制御信号の本数を半分にしていることにある。

【0181】上記の構成の液晶表示装置における駆動方法を、図7に示す順次走査を行った場合のタイミングチャートにて説明する。

【0182】先ず、前記ハーフビット構成走査回路11-1~11-257にTを走査線選択期間としてパルス幅が $(8T)$ であるスタートパルスSTa、周期が $(8T)$ であるクロック信号CLK、及びその反転信号である反転クロック信号 $\overline{\text{CLK}}$ を入力する。

【0183】これにより、ハーフビット構成走査回路11-1~11-257からの出力P1~P256が発生する。その後、ハーフビット構成走査回路11-1~11-257からの出力P1~P256と第4の制御信号H1・H2がANDゲート回路31-1・31-2~31-256に入力され、これらANDゲート回路31-1・31-2~31-256から、ハーフビット構成走査回路11-1~11-257からの出力パルスの半分の出力パルス幅であるPP1・PP2…PP256が出力される。

【0184】次に、これらPP1…PP256がNANDゲート回路15-1~15-1024に入力されるが、これらNANDゲート回路15-1~15-1024の制御信号として、同図に示す第2の制御信号G1~G4の4本の信号を使用し、制御信号の本数を従来の $1/2$ の本数とする。

(16)

29

【0185】こうして、NANDゲート回路15-1～15-1024からの出力及び出力バッファ回路14からの出力信号としてGP1～GP1024のパルス幅が(T)であり、位相が(T)ずつ順次シフトしたパルスが発生し、これにより走査線を順次走査する。

【0186】この結果、制御信号数を削減することができるので、液晶表示装置の小型化及び低コスト化を図ることができる。

【0187】このように、本実施の形態の液晶表示装置及びその駆動方法では、垂直駆動回路30における256段のハーフビット構成走査回路11-1～11-257に、スタートパルスSTaが入力されると、各ハーフビット構成走査回路11-1～11-257から、周期が(2×4×T)であるクロック信号CLKの半周期分ずつ順次シフトされたパルス信号である出力信号P1・P2・P3…P256がそれぞれ出力される。

【0188】これらパルス信号は、パルス幅短縮手段としてのANDゲート回路31-1・31-2～31-256に入力され、このパルス幅短縮手段にて、出力パルスのパルス幅を小さくしてパルス幅(M×T)のパルスをそれぞれ発生させる。これらANDゲート回路31-1・31-2～31-256の出力は、(256×4=1024)個のNANDゲート回路15-1～15-1024の各第1の制御端子に入力される。

【0189】ここで、(256×4=1024)のNANDゲート回路15-1～15-1024は、4個毎に各第1の制御端子が共通接続されているので、上記各ANDゲート回路31-1・31-2～31-256からのパルス信号は、それぞれ4個のNANDゲート回路15-1～15-4・15-5～15-8…15-1021～15-1024に入力される。

【0190】また、各NANDゲート回路15-1～15-1024には、他の入力として、第2の制御端子から、(4-1=3)個おきに4種類の第2の制御信号G1～G4がそれぞれ入力される。各第2の制御信号G1～G4は、周期が(4×T)であってパルス幅(T)のパルスからなっている。

【0191】これによって、上記各NANDゲート回路15-1～15-1024及び出力バッファ回路14…から、パルス幅(T)の信号が出力される。

【0192】従って、これらパルス幅(T)の信号を順次走査線に入力することにより、前記水平駆動回路2の信号線からの信号とを組み合わせ、アクティブマトリクスアレイ1の薄膜トランジスタをON/OFFして液晶表示装置の画面を表示することができる。

【0193】即ち、従来であれば、NANDゲート回路105-1～105-1024(図20参照)には、

(2×4-1=7)個おきに種類の異なる信号が入力されていたので、NANDゲート回路105-1～105-1024に入力される制御線が少なくとも(2×4=

30

8)個必要となっていた。このため、垂直駆動回路30に入力される制御線が多くなり入力パッドの面積が大きくなると共に、さらには、この制御線の本数分の配線の引き回しが必要であり、回路のレイアウトに必要な面積が大きくなるという問題点があった。

【0194】しかし、本実施の形態では、各ハーフビット構成走査回路11-1～11-257の出力パルスのパルス幅を小さくして出力するパルス幅短縮手段としてのANDゲート回路31-1・31-2～31-256を設けたことにより、NANDゲート回路15-1～15-1024における各第2の制御端子を(4-1=3)個おきに共通接続することが可能となる。従って、第2の制御端子の種類は、4個となり、従来の半分となる。

【0195】また、配線が、各ANDゲート回路31-1・31-2～31-256とNANDゲート回路15-1～15-1024とに分散されるので、制御線が集中するのを防止することができる。

【0196】この結果、液晶表示装置を動作させるための駆動信号が少なく、かつ歩留向上を実現し得る液晶表示装置及びその駆動方法を提供することができる。

【0197】また、本実施の形態の液晶表示装置及びその駆動方法では、特に、パルス幅短縮手段は、256段のハーフビット構成走査回路11-1～11-257における出力パルスと、周期(2×4×T)かつパルス幅(4×T)の正・逆パルスからなる2種類の各第4の制御信号H1・H2のうちのいずれかが入力されるANDゲート回路31-1・31-2～31-256から構成している。

【0198】このため、確実に、液晶表示装置を動作させるための駆動信号が少なく、かつ歩留向上を実現し得る液晶表示装置及びその駆動方法を提供することができる。

【0199】また、本実施の形態の液晶表示装置及びその駆動方法では、第4の制御信号H1・H2は、クロック信号CLK及び反転クロック信号/CLKを使用している。このため、第4の制御信号H1・H2として、新たな制御線を垂直駆動回路30に入力しなくても良くなる。また、外部回路における新たな信号作成も不要である。

【0200】この結果、従来であれば、垂直駆動回路30に入力される制御線が多くなり入力パッドの面積が大きくなると共に、さらには、この制御線の本数分の配線の引き回しが必要であり、回路のレイアウトに必要な面積が大きくなるという問題点があったが、既設の制御線を利用することによって、これを防止することができる。

【0201】従って、液晶表示装置を動作させるための駆動信号が少なく、かつ歩留向上を実現し得る液晶表示装置及びその駆動方法を提供することができる。

(17)

31

【0202】〔実施の形態4〕本発明の他の実施の形態について図8及び図9に基づいて説明すれば、以下の通りである。尚、説明の便宜上、前記の実施の形態1ないし実施の形態3の図面に示した部材と同一の機能を有する部材については、同一の符号を付し、その説明を省略する。

【0203】本実施の形態の液晶表示装置の垂直駆動回路40は、図8に示すように、スタートパルスSTaをクロック信号CLKに同期して1段につき半パルスずつ順次シフトするハーフビット構成走査回路11-1~11-512と、それらハーフビット構成走査回路11-1~11-512を1段おきに出力した各出力信号PP1・PP2・PP3…PP256とこれら出力信号PP1・PP2…PP256と第2の制御信号G1・G2・G3・G4とを入力信号とする第6の論理ゲート回路を構成するNANDゲート回路15-1~15-1024と、これらNANDゲート回路15-1~15-1024の出力信号を入力信号とする出力バッファ回路14とから構成されている。

【0204】本回路の特徴は、上記実施の形態1ないし実施の形態3と比較して2倍の段数のハーフビット構成走査回路11-1~11-512を設け、1段おきにその出力を取出すことにより隣り合う出力パルスにおける重なりをなくし、NANDゲート回路15-1~15-1024への制御信号の本数を半分にしていることにある。

【0205】上記の構成の液晶表示装置における駆動方法を、図9に示す順次走査を行った場合のタイミングチャートにて説明する。

【0206】先ず、前記ハーフビット構成走査回路11-1~11-512に、Tを走査線選択期間として、パルス幅が(4T)であるスタートパルスSTa、周期が(4T)であるクロック信号CLK、及びその反転信号である反転クロック信号 $\overline{\text{CLK}}$ を入力する。次いで、これらハーフビット構成走査回路11-1~11-512からの出力を1段おきに取出すことにより、隣り合う出力パルスにおいて重なりが無い出力PP1…PP256が発生する。

【0207】次に、これらPP1…PP256がNANDゲート回路15-1~15-1024に入力される。これらNANDゲート回路15-1~15-1024への制御信号として、同図に示す第2の制御信号G1~G4本の信号を使用し、制御信号の本数を従来の1/2の本数とする。

【0208】こうして、NANDゲート回路15-1~15-1024からの出力及び出力バッファ回路14からの出力信号として、GP1~GP1024のパルス幅が(T)であり、位相が(T)ずつ順次シフトしたパルスが発生し、これにより走査線を順次走査する。

【0209】この結果、制御信号数を削減することがで

32

きるもので、液晶表示装置の小型化及び低コスト化を図ることができる。

【0210】このように、本実施の形態の液晶表示装置及びその駆動方法では、垂直駆動回路40における 2×256 段に、パルス幅が(4×T)のスタートパルスSTaが入力されると、各ハーフビット構成走査回路11-1~11-512から、周期が(4×T)であるクロック信号CLKの半周期分ずつ順次シフトされたパルス信号がそれぞれ出力される。従って、上記 2×256 段のハーフビット構成走査回路11-1~11-512からの1段おきに取出した出力信号は、それぞれ1周期分順次シフトしたものとなる。

【0211】これらパルス信号は、(256×4=1024)個のNANDゲート回路15-1~15-1024の各第1の制御端子に入力される。

【0212】ここで、(256×4=1024)のNANDゲート回路15-1~15-1024は、4個毎に各第1の制御端子が共通接続されているので、上記1段おきのハーフビット構成走査回路11-1~11-512からのパルス信号は、それぞれ4個のNANDゲート回路15-1~15-4・15-5~15-8…15-1021~15-1024に入力される。

【0213】また、各NANDゲート回路15-1~15-1024には、他の入力として、第2の制御端子から、(4-1=3)個おきに4種類の第2の制御信号G1~G4がそれぞれ入力される。各第2の制御信号G1~G4は、周期が(4×T)であってパルス幅(T)のパルスからなっている。

【0214】これによって、上記各NANDゲート回路15-1~15-1024及び出力出力バッファ回路14…から、パルス幅(T)の信号が出力される。

【0215】従って、これらパルス幅(T)の信号を順次走査線に入力することにより、前記水平駆動回路2の信号線からの信号とを組み合わせ、アクティブマトリクスアレイ1の薄膜トランジスタをON/OFFして液晶表示装置の画面を表示することができる。

【0216】即ち、従来であれば、NANDゲート回路105-1~105-1024(図20参照)には、

(2×4-1=7)個おきに種類の異なる信号が入力されていたので、NANDゲート回路105-1~105-1024に入力される制御線が少なくとも(2×4=8)個必要となっていた。このため、垂直駆動回路40に入力される制御線が多くなり入力パッドの面積が大きくなると共に、さらには、この制御線の本数分の配線の引き回しが必要であり、回路のレイアウトに必要な面積が大きくなるという問題点があった。

【0217】しかし、本実施の形態では、スタートパルスSTaを入力することによりパルス信号をクロック信号CLKの半周期分ずつ順次シフトして出力するハーフビット構成走査回路11-1~11-512を 2×256

(18)

33

6段(Nは正の整数)に設け、かつ、その出力信号の取り出しを 2×256 段のハーフビット構成走査回路 $11-1 \sim 11-512$ における1段おきに行うことによって、各出力信号をそれぞれ1周期分順次シフトさせている。

【0218】この結果、NANDゲート回路 $15-1 \sim 15-1024$ における各第2の制御端子を(4-1=3)個おきに共通接続することが可能となる。従って、第2の制御端子の種類は、4個となり、従来の半分となる。

【0219】従って、液晶表示装置を動作させるための駆動信号が少なく、かつ歩留向上を実現し得る液晶表示装置及びその駆動方法を提供することができる。

【0220】〔実施の形態5〕本発明の他の実施の形態について図10及び図11に基づいて説明すれば、以下の通りである。尚、説明の便宜上、前記の実施の形態1ないし実施の形態4の図面に示した部材と同一の機能を有する部材については、同一の符号を付し、その説明を省略する。

【0221】また、前記実施の形態1～実施の形態4においては、1段分の出力信号より4本の走査線を駆動する例について示したが、本実施の形態においては1段分の出力信号より2本の走査線を駆動する例について説明を行う。

【0222】本実施の形態の液晶表示装置の垂直駆動回路50は、図10に示すように、スタートパルス STa をクロック信号 CLK に同期して1段につき半パルスずつ順次シフトするハーフビット構成走査回路 $11-P \cdot 11-1 \sim 11-513$ と、それらハーフビット構成走査回路 $11-P \cdot 11-1 \sim 11-512$ の各出力信号 $Q1 \cdot P1 \cdot P2 \cdot P3 \dots P256$ と隣り合うこれらの出力信号 $Q1$ と $P1$ 、 $P1$ と $P2$ 、 \dots 、 $P511$ と $P512$ とを入力信号とする第7の論理ゲート回路としてのANDゲート回路 $51-1 \cdot 51-2 \sim 51-512$ と、これらANDゲート回路 $51-1 \cdot 51-2 \sim 51-512$ からの出力信号 $GPP1 \cdot GPP2 \dots GPP512$ と制御信号 $G1 \cdot G2$ とを入力信号とするNANDゲート回路 $15-1 \sim 15-1024$ と、これらNANDゲート回路 $15-1 \sim 15-1024$ の出力信号を入力信号とする出力バッファ回路14とから構成されている。

【0223】即ち、本実施の形態の垂直駆動回路50は、前記実施の形態2に示す垂直駆動回路20と類似するものであり、前記図4に示す垂直駆動回路20と比べると、1個のANDゲート回路 $21-1 \cdot 21-2 \sim 21-256$ からの出力を2本としているものである。

【0224】本回路の特徴は、従来例と比較して、ANDゲート回路 $51-1 \cdot 51-2 \sim 51-512$ を設けることにより、NANDゲート回路 $15-1 \sim 15-1024$ への制御信号の本数を半分にしていることにある。

34

る。また、隣り合うハーフビット構成走査回路 $11-P \cdot 11-1 \sim 11-513$ からの出力信号をANDゲート回路 $51-1 \cdot 51-2 \sim 51-512$ に入力する一方、これらANDゲート回路 $51-1 \cdot 51-2 \sim 51-512$ からの出力信号は256本必要であるので、ハーフビット構成走査回路 $11-1$ の前段にもう1段の予備のハーフビット構成走査回路 $11-P$ を設けているものである。尚、この予備のハーフビット構成走査回路 $11-P$ は、ハーフビット構成走査回路 $11-513$ の後段に設けても構わない。上記の構成の液晶表示装置における駆動方法を、図11に示す順次走査を行った場合のタイミングチャートにて説明する。

【0225】まず、前記ハーフビット構成走査回路 $11-P \cdot 11-1 \sim 11-513$ に T を走査線選択期間としてパルス幅が(4T)であるスタートパルス STa 、周期が(4T)であるクロック信号 CLK 、及びその反転信号である反転クロック信号 \overline{CLK} を入力する。

【0226】これにより、ハーフビット構成走査回路 $11-P \cdot 11-1 \sim 11-512$ からの出力 $Q1 \cdot P1 \dots P512$ が発生する。その後、隣り合うハーフビット構成走査回路 $11-P \cdot 11-1 \sim 11-513$ からの出力 $Q1$ と $P1$ 、 $P1$ と $P2$ 、 \dots 、 $P511$ と $P512$ がANDゲート回路 $51-1 \cdot 51-2 \sim 51-512$ に入力され、これらANDゲート回路 $51-1 \cdot 51-2 \sim 51-512$ から、ハーフビット構成走査回路 $11-P \cdot 11-1 \sim 11-513$ からの出力パルスの半分の出力パルス幅である $GPP1 \cdot GPP2 \dots GPP512$ が出力される。

【0227】次に、これら $GPP1 \sim GPP512$ がNANDゲート回路 $15-1 \sim 15-1024$ に入力されるが、これらNANDゲート回路 $15-1 \sim 15-1024$ の制御信号として、同図に示す $G1 \cdot G2$ の2本の信号を使用する。

【0228】これら制御信号 $G1 \cdot G2$ は、周期が(2T)の信号であり、制御信号 $G2$ には制御信号 $G1$ の反転信号が利用できる。このため、信号入力端子を1本として制御信号 $G2$ には制御信号 $G1$ の信号に基板上に形成されたインバータを介して入力することにより信号入力端子数を削減することが可能である。

【0229】こうして、NANDゲート回路 $15-1 \sim 15-1024$ からの出力及び出力バッファ回路14からの出力信号として、 $GP1 \dots GP1024$ のパルス幅が(T)であり、位相が(T)ずつ順次シフトしたパルスが発生し、これにより走査線を順次走査する。

【0230】この結果、制御信号数を削減することができるので、液晶表示装置の小型化及び低コスト化を図ることができる。

【0231】このように、本実施の形態の液晶表示装置及びその駆動方法では、前記実施の形態2に示す垂直駆動回路20(図4参照)におけるハーフビット構成走査

(19)

35

回路11-1~11-257における隣り合う出力パルスがANDゲート回路21-1・21-2~21-256に入力される構成と、ハーフビット構成走査回路11-1~11-257を2倍にする構成とを組み合わせている。

【0232】この結果、このような組み合わせによっても、液晶表示装置を動作させるための駆動信号が少なく、かつ歩留向上を実現し得る液晶表示装置及びその駆動方法を提供することができる。

【0233】尚、以上の実施の形態1~5においては、順次走査方式のみについて、説明を行ったが、実施の形態1~4に示す液晶表示装置では、インターレース走査方式や2本同時走査方式の場合においても、適用可能である。但し、実施の形態5においては、少ない制御信号数で順次走査を行うことができるが、インターレース走査方式や2本同時走査方式を適用することはできない。即ち、制御信号が4本以上の場合にこれらの走査が可能となる。

【0234】〔実施の形態6〕本発明の他の実施の形態について図12に基づいて説明すれば、以下の通りである。尚、説明の便宜上、前記の実施の形態1ないし実施の形態5の図面に示した部材と同一の機能を有する部材については、同一の符号を付し、その説明を省略する。

【0235】前記実施の形態1ないし実施の形態5では、順次走査について説明したが、本実施の形態以降では、インターレース走査又は2本同時走査を行う場合について説明する。

【0236】最初に、実施の形態1における図1で示した垂直駆動回路10を用いたインターレース走査について説明する。

【0237】垂直駆動回路10におけるインターレース走査では、図12に示すように、ハーフビット構成走査回路11-1~11-257に、Tを走査線選択期間としてパルス幅が(4T)であるスタートパルスSTa並びにパルス周期が(4T)であるクロック信号CLK及びその反転信号である反転クロック信号/CLKを入力した。

【0238】これにより、ハーフビット構成走査回路11-1~11-257から出力信号P1・P2~P256が発生する。第1の論理ゲート回路となるANDゲート回路12-1~12-1024の制御信号として第2の制御信号G1・G2・G3・G4の4本の信号を使用し、これによって、制御信号を従来の1/2としている。

【0239】本実施の形態では、奇数フィールドにおいては、第2の制御信号G1にパルス周期(2T)の制御信号を入力し、第2の制御信号G3には第2の制御信号G1と位相が(T)だけずれた制御信号を入力している。また、第2の制御信号G2・G4については、制御信号の入力は行っていない。

36

【0240】なお、本実施の形態では、映像信号書き込み期間直後のブランキング期間においても第2の制御信号G1・G3のパルスが発生しているが、必ずしもこれに限らず、ブランキング期間にこれら第2の制御信号G1・G3のパルスを発生させなくてもよい。

【0241】その後、第1の論理ゲート回路であるANDゲート回路12-1~12-1024の出力GPP1・GPP2~GPP1024には、2個の出力パルスが現れる。これら出力パルスが第2の論理ゲート回路を構成するNANDゲート回路13-1~13-1024に入力される。

【0242】このとき、奇数段目のハーフビット構成走査回路11-1・11-3~11-257の出力が接続しているNANDゲート回路13-1~13-4・13-9~13-12~には第3の制御信号PP1を入力する一方、偶数段目のハーフビット構成走査回路11-2・11-4~11-256の出力が接続しているNANDゲート回路13-5~13-8・13-13~13-16~には第3の制御信号PP2を入力する。

【0243】この第3の制御信号PP1としては、ハーフビット構成走査回路11-1~11-257に入力されるクロック信号CLKを使用すれば良い一方、第3の制御信号PP2としては、ハーフビット構成走査回路11-1~11-257に入力される反転クロック信号/CLKを使用すれば良い。したがって、新たな制御信号を作成する必要がない。また、外部からの信号入力端子を新たに作成する必要もない。

【0244】こうして、奇数フィールドにおいては、各出力バッファ回路14~からの出力として出力信号GP1・GP3・GP5~GP1023のパルス幅が(T)であり、位相が(T)ずつ順次シフトしたパルスが発生し、これにより走査線をインターレース走査している。

【0245】また、図示はしていないが、偶数フィールドには、第2の制御信号G2・G4にそれぞれ第2の制御信号G1・G3に示される信号が入力されて各出力バッファ回路14~からの出力信号として出力信号GP2・GP4・GP6~GP1024の偶数本目の走査線に、パルス幅が(T)であり、位相が(T)ずつ順次シフトしたパルスが発生する。

【0246】このように、本実施の形態では、液晶表示装置の垂直駆動回路10を使用して、インターレース走査を行うことができる。

【0247】〔実施の形態7〕本発明の他の実施の形態について図13に基づいて説明すれば、以下の通りである。尚、説明の便宜上、前記の実施の形態1ないし実施の形態6の図面に示した部材と同一の機能を有する部材については、同一の符号を付し、その説明を省略する。

【0248】本実施の形態では、実施の形態1で示した垂直駆動回路10を用いた2本同時走査について説明する。

50

(20)

37

【0249】本実施の形態の垂直駆動回路10における2本同時走査では、図13に示すように、ハーフビット構成走査回路11-1~11-257に、Tを走査線選択期間としてパルス幅が(4T)であるスタートパルスSTa並びにパルス周期が(4T)であるクロック信号CLK及びその反転信号である反転クロック信号/CLKを入力した。

【0250】これにより、ハーフビット構成走査回路11-1~11-257から出力信号P1・P2…P256が発生する。第1の論理ゲート回路となるANDゲート回路12-1~12-1024の制御信号として第2の制御信号G1・G2・G3・G4の4本の信号を使用し、これによって、制御信号を従来の1/2としている。

【0251】本実施の形態では、奇数フィールドにおいては、第2の制御信号G1・G2にパルス周期(2T)の制御信号を入力し、第2の制御信号G3・G4には第2の制御信号G1・G2と位相が(T)だけずれた制御信号を入力している。

【0252】なお、本実施の形態では、映像信号書き込み期間直後のブランキング期間においても第2の制御信号G1・G2・G3・G4のパルスが発生しているが、必ずしもこれに限らず、ブランキング期間にこれら第2の制御信号G1・G2・G3・G4のパルスを発生させなくてもよい。

【0253】その後、第1の論理ゲート回路であるANDゲート回路12-1~12-1024の出力GPP1・GPP2…GPP1024には、2個の出力パルスが現れる。これら出力パルスが第2の論理ゲート回路を構成するNANDゲート回路13-1~13-1024に10 入力される。

【0254】このとき、奇数段目のハーフビット構成走査回路11-1・11-3…11-257の出力が接続しているNANDゲート回路13-1~13-4・13-9~13-12…には第3の制御信号PP1を入力する一方、偶数段目のハーフビット構成走査回路11-2・11-4…11-256の出力が接続しているNANDゲート回路13-5~13-8・13-13~13-16…には第3の制御信号PP2を入力する。

【0255】この第3の制御信号PP1としては、ハーフビット構成走査回路11-1~11-257に15 入力されるクロック信号CLKを使用すれば良い一方、第3の制御信号PP2としては、ハーフビット構成走査回路11-1~11-257に15 入力される反転クロック信号/CLKを使用すれば良い。したがって、新たな制御信号を作成する必要がない。また、外部からの信号入力端子を新たに作成する必要もない。

【0256】こうして、奇数フィールドにおいては、各出力バッファ回路14…からの出力として出力信号GP1・GP3・GP5…GP1023のパルス幅が(T)

38

であり、位相が(T)ずつ順次シフトしたパルスが発生し、これにより走査線を2本同時走査している。

【0257】また、図示はしていないが、偶数フィールドには、第2の制御信号G2・G4にそれぞれ第2の制御信号G1・G3に示される信号が入力されて各出力バッファ回路14…からの出力信号として出力信号GP2・GP4・GP6…GP1024の偶数本目の走査線に、パルス幅が(T)であり、位相が(T)ずつ順次シフトしたパルスが発生する。

【0258】このように、本実施の形態では、液晶表示装置の垂直駆動回路10を使用して、2本同時走査を行うことができる。

【0259】〔実施の形態8〕本発明の他の実施の形態について図14に基づいて説明すれば、以下の通りである。尚、説明の便宜上、前記の実施の形態1ないし実施の形態7の図面に示した部材と同一の機能を有する部材については、同一の符号を付し、その説明を省略する。

【0260】本実施の形態では、実施の形態2において図4に示した垂直駆動回路20を用いたインターレース走査について説明する。

【0261】本実施の形態の垂直駆動回路20におけるインターレース走査では、図14に示すように、ハーフビット構成走査回路11-P・11-1~11-257に、Tを走査線選択期間としてパルス幅が(4T)であるスタートパルスSTa並びにパルス周期が(4T)であるクロック信号CLK及びその反転信号である反転クロック信号/CLKを入力した。

【0262】これにより、ハーフビット構成走査回路11-P・11-1~11-257から出力信号Q1・P1・P2・P3…P256が発生する。その後、隣合うハーフビット構成走査回路11-P・11-1~11-257からの出力信号Q1とP1、P1とP2、…、P255とP256が第4の論理ゲート回路としてのANDゲート回路21-1~21-256に15 入力され、これらANDゲート回路12-1~12-1024から、各出力信号Q1・P1・P2・P3…P256の半分の出力パルス幅である出力信号GPP1・GPP2…GPP256が出力される。

【0263】次に、これら出力信号GPP1・GPP2…GPP256が第3の論理ゲート回路を構成するNANDゲート回路15-1~15-1024に15 入力されるが、これらNANDゲート回路15-1~15-1024の制御信号として第2の制御信号G1・G2・G3・G4の4本の信号を使用し、これによって、制御信号を従来の1/2としている。

【0264】本実施の形態では、奇数フィールドにおいては、第2の制御信号G1にパルス周期(2T)の制御信号を入力し、第2の制御信号G3には第2の制御信号G1と位相が(T)だけずれた制御信号を入力している。なお、第2の制御信号G2・G4については、制御

(21)

39

信号の入力を行わない。

【0265】こうして、奇数フィールドにおいては、各出力バッファ回路14…からの出力として出力信号GP1・GP3・GP5…GP1023のパルス幅が(T)であり、位相が(T)ずつ順次シフトしたパルスが発生し、これにより走査線をインターレース走査している。

【0266】また、図示はしていないが、偶数フィールドには、第2の制御信号G2・G4にそれぞれ第2の制御信号G1・G3に示される信号が入力されて各出力バッファ回路14…からの出力信号として出力信号GP2・GP4・GP6…GP1024の偶数本目の走査線に、パルス幅が(T)であり、位相が(T)ずつ順次シフトしたパルスが発生する。

【0267】このように、本実施の形態では、液晶表示装置の垂直駆動回路20を使用して、インターレース走査を行うことができる。

【0268】〔実施の形態9〕本発明の他の実施の形態について図15に基づいて説明すれば、以下の通りである。尚、説明の便宜上、前記の実施の形態1ないし実施の形態8の図面に示した部材と同一の機能を有する部材については、同一の符号を付し、その説明を省略する。

【0269】本実施の形態では、実施の形態2において図4に示した垂直駆動回路20を用いた2本同時走査について説明する。

【0270】本実施の形態の垂直駆動回路20における2本同時走査では、図15に示すように、ハーフビット構成走査回路11-P・11-1～11-257に、Tを走査線選択期間としてパルス幅が(4T)であるスタートパルスSTa並びにパルス周期が(4T)であるクロック信号CLK及びその反転信号である反転クロック信号/CLKを入力した。

【0271】これにより、ハーフビット構成走査回路11-P・11-1～11-257から出力信号Q1・P1・P2・P3…P256が発生する。その後、隣合うハーフビット構成走査回路11-P・11-1～11-257からの出力信号Q1とP1、P1とP2、…、P255とP256が第4の論理ゲート回路としてのANDゲート回路21-1～21-256に入力され、これらANDゲート回路12-1～12-1024から、各出力信号Q1・P1・P2・P3…P256の半分の出力パルス幅である出力信号GPP1・GPP2…GPP256が出力される。

【0272】次に、これら出力信号GPP1・GPP2…GPP256が第3の論理ゲート回路を構成するNANDゲート回路15-1～15-1024に入力されるが、これらNANDゲート回路15-1～15-1024の制御信号として第2の制御信号G1・G2・G3・G4の4本の信号を使用し、これによって、制御信号を従来の1/2としている。

【0273】本実施の形態では、奇数フィールドにおい

40

では、第2の制御信号G1・G2にパルス周期(2T)の制御信号を入力し、第2の制御信号G3・G4には第2の制御信号G1・G2と位相が(T)だけずれた制御信号を入力している。

【0274】こうして、奇数フィールドにおいては、各出力バッファ回路14…からの出力として出力信号GP1とGP2・GP3とGP4…GP1023とGP1024の2本の走査線毎にパルス幅が(T)であり、位相が(T)ずつ順次シフトしたパルスが発生し、これにより走査線を2本同時走査している。

【0275】また、図示はしていないが、偶数フィールドには、第2の制御信号G2・G4にそれぞれ第2の制御信号G1・G3に示される信号が入力され、第2の制御信号G1・G4には、第2の制御信号G3・G4に示される信号が入力され、奇数フィールドとはペアを組み換えて出力信号GP1・GP2とGP3・GP4とGP5…の2本の走査線毎にパルス幅が(T)であり、位相が(T)ずつ順次シフトしたパルスが発生し、これにより走査線を2本同時走査している。

【0276】このように、本実施の形態では、液晶表示装置の垂直駆動回路20を使用して、2本同時走査を行うことができる。

【0277】〔実施の形態10〕本発明の他の実施の形態について図16に基づいて説明すれば、以下の通りである。尚、説明の便宜上、前記の実施の形態1ないし実施の形態9の図面に示した部材と同一の機能を有する部材については、同一の符号を付し、その説明を省略する。

【0278】本実施の形態では、実施の形態3における図6で示した垂直駆動回路30を用いたインターレース走査について説明する。

【0279】垂直駆動回路30におけるインターレース走査では、図16に示すように、ハーフビット構成走査回路11-1～11-257に、Tを走査線選択期間としてパルス幅が(4T)であるスタートパルスSTa並びにパルス周期が(4T)であるクロック信号CLK及びその反転信号である反転クロック信号/CLKを入力した。

【0280】これにより、ハーフビット構成走査回路11-1～11-257から出力信号P1・P2…P256が発生する。その後、出力信号P1・P2…P256が第5の論理ゲート回路を構成するANDゲート回路31-1・31-2～31-256に入力され、かつANDゲート回路31-1・31-2～31-256に第4の制御信号H1又は第4の制御信号H2が入力されることによって、これらANDゲート回路31-1・31-2～31-256から出力信号P1・P2…P256の半分の出力パルス幅である出力信号PP1・PP2…PP256が出力される。

【0281】次に、これら出力信号PP1・PP2…P

(22)

41

P256がNANDゲート回路15-1~15-1024の制御信号として第2の制御信号G1・G2・G3・G4の4本の信号を使用し、これによって、制御信号を従来の1/2としている。

【0282】本実施の形態では、奇数フィールドにおいては、第2の制御信号G1にパルス周期(2T)の制御信号を入力し、第2の制御信号G3には第2の制御信号G1と位相が(T)だけずれた制御信号を入力している。また、第2の制御信号G2・G4については、制御信号の入力は行っていない。

【0283】こうして、奇数フィールドにおいては、各出力バッファ回路14...からの出力として出力信号GP1・GP3・GP5...GP1023のパルス幅が(T)であり、位相が(T)ずつ順次シフトしたパルスが発生し、これにより走査線をインターレース走査している。

【0284】また、図示はしていないが、偶数フィールドには、第2の制御信号G2・G4にそれぞれ第2の制御信号G1・G3に示される信号が入力されて各出力バッファ回路14...からの出力信号として出力信号GP2・GP4・GP6...GP1024の偶数本目の走査線に、パルス幅が(T)であり、位相が(T)ずつ順次シフトしたパルスが発生する。

【0285】このように、本実施の形態では、液晶表示装置の垂直駆動回路30を使用して、インターレース走査を行うことができる。

【0286】〔実施の形態11〕本発明の他の実施の形態について図17に基づいて説明すれば、以下の通りである。尚、説明の便宜上、前記の実施の形態1ないし実施の形態10の図面に示した部材と同一の機能を有する部材については、同一の符号を付し、その説明を省略する。

【0287】本実施の形態では、実施の形態3における図6で示した垂直駆動回路30を用いた2本同時走査について説明する。

【0288】垂直駆動回路30における2本同時走査では、図17に示すように、ハーフビット構成走査回路11-1~11-257に、Tを走査線選択期間としてパルス幅が(4T)であるスタートパルスSTa並びにパルス周期が(4T)であるクロック信号CLK及びその反転信号である反転クロック信号/CLKを入力した。

【0289】これにより、ハーフビット構成走査回路11-1~11-257から出力信号P1・P2...P256が発生する。その後、出力信号P1・P2...P256が第5の論理ゲート回路を構成するANDゲート回路31-1・31-2~31-256に入力され、かつANDゲート回路31-1・31-2~31-256に第4の制御信号H1又は第4の制御信号H2が入力されることによって、これらANDゲート回路31-1・31-2~31-256から出力信号P1・P2...P256の半分の出力パルス幅である出力信号PP1・PP2...P

42

P256が出力される。

【0290】次に、これら出力信号PP1・PP2...P256がNANDゲート回路15-1~15-1024の制御信号として第2の制御信号G1・G2・G3・G4の4本の信号を使用し、これによって、制御信号を従来の1/2としている。

【0291】本実施の形態では、奇数フィールドにおいては、第2の制御信号G1・G2にパルス周期(2T)の制御信号を入力し、第2の制御信号G3・G4には第2の制御信号G1・G2と位相が(T)だけずれた制御信号を入力している。

【0292】こうして、奇数フィールドにおいては、各出力バッファ回路14...からの出力として出力信号GP1・GP3・GP5...GP1023のパルス幅が(T)であり、位相が(T)ずつ順次シフトしたパルスが発生し、これにより2本同時走査している。

【0293】また、図示はしていないが、偶数フィールドには、第2の制御信号G2・G3にそれぞれ第2の制御信号G1・G2に示される信号が入力され、第2の制御信号G1・G4には、第2の制御信号G3・G4に示される信号が入力され、奇数フィールドとはペアを組み換えて出力信号GP1・GP2とGP3・GP4とGP5...の2本の走査線毎にパルス幅が(T)であり、位相が(T)ずつ順次シフトしたパルスが発生し、これにより走査線を2本同時走査している。

【0294】このように、本実施の形態では、液晶表示装置の垂直駆動回路30を使用して、2本同時走査を行うことができる。

【0295】〔実施の形態12〕本発明の他の実施の形態について図18に基づいて説明すれば、以下の通りである。尚、説明の便宜上、前記の実施の形態1ないし実施の形態11の図面に示した部材と同一の機能を有する部材については、同一の符号を付し、その説明を省略する。

【0296】本実施の形態では、実施の形態4における図8で示した垂直駆動回路40を用いたインターレース走査について説明する。

【0297】垂直駆動回路40におけるインターレース走査では、図18に示すように、ハーフビット構成走査回路11-1~11-512に、Tを走査線選択期間としてパルス幅が(2T)であるスタートパルスSTa並びにパルス周期が(2T)であるクロック信号CLK及びその反転信号である反転クロック信号/CLKを入力した。

【0298】ここで、ハーフビット構成走査回路11-1~11-512からの出力を1段おきに取り出すことにより、互いに重なりが無い出力信号PP1・PP2...PP256が発生する。その後、出力信号PP1・PP2...PP256が第6の論理ゲート回路を構成するANDゲート回路15-1~15-1024に入力され、

(23)

43

これらNANDゲート回路15-1~15-1024の制御信号として第2の制御信号G1・G2・G3・G4の4本の信号を使用し、これによって、制御信号を従来の1/2としている。

【0299】本実施の形態では、奇数フィールドにおいては、第2の制御信号G1にパルス周期(2T)の制御信号を入力し、第2の制御信号G3には第2の制御信号G1と位相が(T)だけずれた制御信号を入力している。また、第2の制御信号G2・G4については、制御信号の入力は行っていない。

【0300】こうして、奇数フィールドにおいては、各出力バッファ回路14…からの出力として出力信号GP1・GP3・GP5…GP1023のパルス幅が(T)であり、位相が(T)ずつ順次シフトしたパルスが発生し、これにより走査線をインターレース走査している。

【0301】また、図示はしていないが、偶数フィールドには、第2の制御信号G2・G4にそれぞれ第2の制御信号G1・G3に示される信号が入力され、各出力バッファ回路14…からの出力として出力信号GP2・GP4・GP6…GP1024の偶数本目の走査線に、パルス幅が(T)であり、位相が(T)ずつ順次シフトしたパルスが発生する。

【0302】このように、本実施の形態では、液晶表示装置の垂直駆動回路40を使用してインターレース走査を行うことができる。

【0303】〔実施の形態13〕本発明の他の実施の形態について図19に基づいて説明すれば、以下の通りである。尚、説明の便宜上、前記の実施の形態1ないし実施の形態11の図面に示した部材と同一の機能を有する部材については、同一の符号を付し、その説明を省略する。

【0304】本実施の形態では、実施の形態4における図8で示した垂直駆動回路40を用いた2本同時走査について説明する。

【0305】垂直駆動回路40における2本同時走査では、図19に示すように、ハーフビット構成走査回路11-1~11-512に、Tを走査線選択期間としてパルス幅が(2T)であるスタートパルスSTa並びにパルス周期が(2T)であるクロック信号CLK及びその反転信号である反転クロック信号/CLKを入力した。

【0306】ここで、ハーフビット構成走査回路11-1~11-512からの出力を1段おきに取り出すことにより、互いに重なるの無い出力信号PP1・PP2…PP256が発生する。その後、出力信号PP1・PP2…PP256が第6の論理ゲート回路を構成するNANDゲート回路15-1~15-1024に入力され、これらNANDゲート回路15-1~15-1024の制御信号として第2の制御信号G1・G2・G3・G4の4本の信号を使用し、これによって、制御信号を従来の1/2としている。

44

【0307】本実施の形態では、奇数フィールドにおいては、第2の制御信号G1・G2にパルス周期(2T)の制御信号を入力し、第2の制御信号G3・G4には第2の制御信号G1・G2と位相が(T)だけずれた制御信号を入力している。

【0308】こうして、奇数フィールドにおいては、各出力バッファ回路14…からの出力として出力信号GP1とGP2・GP3とGP4…GP1023とGP1024の2本の走査線毎にパルス幅が(T)であり、位相が(T)ずつ順次シフトしたパルスが発生し、これにより走査線を2本同時走査している。

【0309】また、図示はしていないが、偶数フィールドには、第2の制御信号G2・G3にそれぞれ第2の制御信号G1・G2に示される信号が入力され、第2の制御信号G1・G4には、第2の制御信号G3・G4に示される信号が入力され、奇数フィールドとはペアを組み換えて出力信号GP1・GP2とGP3・GP4とGP5…の2本の走査線毎にパルス幅が(T)であり、位相が(T)ずつ順次シフトしたパルスが発生する。

【0310】このように、本実施の形態では、液晶表示装置の垂直駆動回路40を使用して、2本同時走査を行うことができる。

【0311】なお、今まで述べてきた実施の形態1ないし実施の形態13においては、走査線選択期間をすべてTで示しているが、このTは走査線数や走査方法によってそれぞれ異なることはいうまでもない。

【0312】また、実施の形態1ないし実施の形態13においては、論理ゲート回路としてANDゲート回路12・21・31及びNANDゲート回路15を使用して、必ずしもこれに限られるものではなく他の論理ゲート回路が使用できる。例えばANDゲート回路12・21・31の代わりにNORゲート回路を使用してもよく、この場合にはNORゲート回路に入力する信号は、ANDゲート回路12・21・31に入力していた信号を反転させた信号を入力すればよい。さらに、他の論理ゲート回路を用いた場合にも本発明の権利範囲に含まれる。

【0313】

【発明の効果】請求項1に係る発明の液晶表示装置は、以上のように、垂直駆動回路は、スタートパルスを入力することにより、パルス信号をクロック信号の半周期分ずつ順次シフトして出力するN段(Nは正の整数)の走査回路と、M個(Mは2以上の整数)毎に各第1の制御端子が共通接続されて、これら共通接続された第1の制御端子毎に上記N段の走査回路からの出力信号がそれぞれ入力されると共に、(M-1)個おきにM種類の第2の制御信号を入力するための各第2の制御端子が共通接続された(N×M)個の第1の論理ゲート回路と、上記第1の論理ゲート回路の出力と、第3の制御端子から2種類の第3の制御信号のうちのいずれかが入力される第

(24)

45

2の論理ゲート回路とを備えているものである。

【0314】それゆえ、第1の論理ゲート回路における各第2の制御端子は、 $(M-1)$ 個おきに共通接続されたものとなっている。このため、第2の制御端子の種類は、 M 個となり、従来の半分となる。

【0315】また、配線が、第1の論理ゲート回路と第2の論理ゲート回路とに分散されるので、制御線が集中するのを防止することができる。

【0316】即ち、制御端子数を低減させることにより、駆動回路及び入力パッドの面積を小さくすることができるので、1枚のガラス基板から複数の液晶表示装置を取り出す多数枚取りの場合に、基板に対する乗り数が増え、良品パネル数を増加させることができる。

【0317】また、駆動回路及び入力パッドの面積が小さくなることで、液晶表示装置の表示部周辺の額縁領域が小さくなり、パーソナルコンピュータ等への組み込みが行い易くなる。

【0318】さらに、走査回路における1段分の出力を複数の論理ゲート回路へ入力するというように、走査回路における1段分からの論理ゲート回路への入力数を増加させることにより、走査回路の段数を低減できるので、特に、高精細の液晶表示装置においては、その小さい画素のピッチで走査回路1段分をレイアウトするのが困難であるが、本発明においては、レイアウトが容易になる。

【0319】この結果、液晶表示装置を動作させるための駆動信号が少なく、かつ歩留向上を実現し得る液晶表示装置を提供することができるという効果を奏する。

【0320】請求項2に係る発明の液晶表示装置は、以上のように、垂直駆動回路は、スタートパルスを入力することにより、パルス信号をクロック信号の半周期分ずつ順次シフトして出力する N 段(N は正の整数)の走査回路と、上記各走査回路の出力パルスのパルス幅を小さくして出力するパルス幅短縮手段と、 M 個(M は2以上の整数)毎に各第1の制御端子が共通接続されて、これら共通接続された第1の制御端子毎に上記各パルス幅短縮手段からの出力信号がそれぞれ入力されると共に、

$(M-1)$ 個おきに M 種類の信号を入力するための各第2の制御端子が共通接続された $(N \times M)$ 個の第3の論理ゲート回路とを備えているものである。

【0321】それゆえ、第3の論理ゲート回路における各第2の制御端子は、 $(M-1)$ 個おきに共通接続されたものとなっている。このため、第2の制御端子の種類は、 M 個となり、従来の半分となる。

【0322】また、配線が、各パルス幅短縮手段と第3の論理ゲート回路とに分散されるので、制御線が集中するのを防止することができる。

【0323】この結果、液晶表示装置を動作させるための駆動信号が少なく、かつ歩留向上を実現し得る液晶表示装置を提供することができるという効果を奏する。

46

【0324】請求項3に係る発明の液晶表示装置は、以上のように、請求項2記載の液晶表示装置において、上記パルス幅短縮手段は、上記 N 段の走査回路における隣り合う出力パルスが入力される第4の論理ゲート回路からなるものである。

【0325】それゆえ、具体的なパルス幅短縮手段として、 N 段の走査回路における隣り合う出力パルスが入力される第4の論理ゲート回路にて構成することによって、配線が、第4の論理ゲート回路と第3の論理ゲート回路とに分散される。

【0326】この結果、制御線が集中するのを防止して、確実に、液晶表示装置を動作させるための駆動信号が少なく、かつ歩留向上を実現し得る液晶表示装置を提供することができるという効果を奏する。

【0327】請求項4に係る発明の液晶表示装置は、以上のように、請求項3記載の液晶表示装置において、上記パルス幅短縮手段には、上記 N 段の走査回路における前段又は後段に予備の走査回路が設けられているものである。

【0328】それゆえ、 N 段の走査回路における隣り合う出力パルスを確実に取り出すことができるという効果を奏する。

【0329】請求項5に係る発明の液晶表示装置は、以上のように、請求項2記載の液晶表示装置において、上記パルス幅短縮手段は、上記 N 段の走査回路における出力パルスと、正・逆パルスからなる2種類の各第4の制御信号のうちのいずれかが入力される第5の論理ゲート回路からなるものである。

【0330】それゆえ、具体的なパルス幅短縮手段として、 N 段の走査回路における出力パルスと、正・逆パルスからなる2種類の各第4の制御信号のうちのいずれかが入力される第5の論理ゲート回路にて構成することによって、請求項6に示すように、クロック信号及び反転クロック信号を正・逆パルスからなる2種類の各第4の制御信号として利用できるので、確実に、液晶表示装置を動作させるための駆動信号が少なく、かつ歩留向上を実現し得る液晶表示装置を提供することができるという効果を奏する。

【0331】請求項6に係る発明の液晶表示装置は、以上のように、請求項1又は5記載の液晶表示装置において、上記第3の制御信号又は第4の制御信号は、クロック信号及び反転クロック信号からなるものである。

【0332】それゆえ、第3の制御信号及び第4の制御信号として、新たな制御線を垂直駆動回路に入力しなくても良くなる。

【0333】この結果、従来であれば、垂直駆動回路に入力される制御線が多くなり入力パッドの面積が大きくなると共に、さらには、この制御線の本数分の配線の引き回しが必要であり、回路のレイアウトに必要な面積が大きくなるという問題点があったが、既設の制御線を利

(25)

47

用することによって、これを防止することができる。

【0334】従って、液晶表示装置を動作させるための駆動信号が少なく、かつ歩留向上を実現し得る液晶表示装置を提供することができるという効果を奏する。

【0335】請求項7に係る発明の液晶表示装置は、以上のように、請求項1～6のいずれか1項に記載の液晶表示装置において、 $M=4$ であるものである。

【0336】即ち、高精細の液晶表示装置においては、その小さい画素のピッチで走査回路1段分をレイアウトするのが困難である。

【0337】そこで、走査回路における1段分の出力を複数の論理ゲート回路へ入力するというように、走査回路における1段分からの論理ゲート回路への入力数を増加させることにより、走査回路の段数を低減できる。

【0338】本発明においては、特に、 $M=4$ として、論理ゲート回路への入力数を4となるようにしているので、4画素分のピッチで走査回路の1段分のレイアウトを行うことができ、レイアウトを容易に行うことができる。

【0339】この結果、液晶表示装置を動作させるための駆動信号が少なく、かつ歩留向上を実現し得る液晶表示装置を提供することができるという効果を奏する。

【0340】請求項8に係る発明の液晶表示装置は、以上のように、垂直駆動回路は、スタートパルスを入力することにより、パルス信号をクロック信号の半周期分ずつ順次シフトして出力する $2 \times N$ 段 (N は正の整数)の走査回路と、 M 個 (M は2以上の整数)毎に各第1の制御端子が共通接続されて、これら共通接続された第1の制御端子毎に上記 $2 \times N$ 段の走査回路からの1段おきの出力信号がそれぞれ入力されると共に、 $(M-1)$ 個おきに M 種類の第2の制御信号を入力するための各第2の制御端子が共通接続された $(N \times M)$ 個の第6の論理ゲート回路とを備えているものである。

【0341】それゆえ、第6の論理ゲート回路における各第2の制御端子は、 $(M-1)$ 個おきに共通接続されたものとなっている。このため、第2の制御端子の種類は、 M 個となり、従来の半分となる。

【0342】この結果、液晶表示装置を動作させるための駆動信号が少なく、かつ歩留向上を実現し得る液晶表示装置を提供することができるという効果を奏する。

【0343】請求項9に係る発明の液晶表示装置の駆動方法は、以上のように、請求項1記載の液晶表示装置の駆動方法であって、前記垂直駆動回路における走査回路に、走査線選択期間を T として、パルス幅が $(2 \times M \times T)$ であるスタートパルスを入力することにより、周期が $(2 \times M \times T)$ であるクロック信号を使用して半周期分順次シフトした信号をそれぞれ発生させ、次に、上記半周期分順次シフトした各信号と、周期が $(M \times T)$ であってパルス幅 (T) のパルス出力する M 種類の第2の制御信号とを各第1の論理ゲート回路における第1の

48

制御端子及び第2の制御端子にそれぞれ入力して、これら各第1の論理ゲート回路から、各パルス幅が (T) であって位相が互いに $(M-1) \times T$ 離れた2個のパルスを発生させ、次に、上記2個のパルスと、周期 $(2 \times M \times T)$ かつパルス幅 $(M \times T)$ の正・逆パルスからなる2種類の各第3の制御信号のうちのいずれかをと第2の論理ゲート回路にそれぞれ入力してこれら各第2の論理ゲート回路からパルス幅 (T) の信号を出力させ、上記パルス幅 (T) の信号を順次走査線に入力する方法である。

【0344】それゆえ、第1の論理ゲート回路における各第2の制御端子は、 $(M-1)$ 個おきに共通接続されたものとなっている。このため、第2の制御端子の種類は、 M 個となり、従来の半分となる。

【0345】また、配線が、第1の論理ゲート回路と第2の論理ゲート回路とに分散されるので、制御線が集中するのを防止することができる。

【0346】この結果、液晶表示装置を動作させるための駆動信号が少なく、かつ歩留向上を実現し得る液晶表示装置の駆動方法を提供することができるという効果を奏する。

【0347】請求項10に係る発明の液晶表示装置の駆動方法は、以上のように、請求項2記載の液晶表示装置の駆動方法であって、前記垂直駆動回路における走査回路に、走査線選択期間を T として、パルス幅が $(2 \times M \times T)$ であるスタートパルスを入力することにより、周期が $(2 \times M \times T)$ であるクロック信号を使用して半周期分順次シフトした信号をそれぞれ発生させ、次に、上記半周期分順次シフトした信号をパルス幅短縮手段に入力してパルス幅 $(M \times T)$ のパルスをそれぞれ発生させ、上記パルス幅短縮手段からの出力と、周期が $(M \times T)$ であってパルス幅 (T) のパルス出力する M 種類の第2の制御信号とを各第6の論理ゲート回路における第1の制御端子及び第2の制御端子にそれぞれ入力し、これら各第3の論理ゲート回路から各パルス幅が (T) の信号を発生させ、上記パルス幅 (T) の信号を順次走査線に入力する方法である。

【0348】それゆえ、各走査回路の出力パルスのパルス幅を小さくして出力するパルス幅短縮手段を設けたことにより、第3の論理ゲート回路における各第2の制御端子を $(M-1)$ 個おきに共通接続することが可能となる。従って、第2の制御端子の種類は、 M 個となり、従来の半分となる。

【0349】また、配線が、各パルス幅短縮手段と第3の論理ゲート回路とに分散されるので、制御線が集中するのを防止することができる。

【0350】この結果、液晶表示装置を動作させるための駆動信号が少なく、かつ歩留向上を実現し得る液晶表示装置の駆動方法を提供することができるという効果を奏する。

(26)

49

【0351】請求項11に係る発明の液晶表示装置の駆動方法は、以上のように、請求項8記載の液晶表示装置の駆動方法であって、前記垂直駆動回路における走査回路に、走査線選択期間を T として、パルス幅が $(M \times T)$ であるスタートパルスを入力することにより、周期が $(M \times T)$ であるクロック信号を使用して半周期分順次シフトした信号をそれぞれ発生させ、次に、上記 $2 \times N$ 段の走査回路からの1段おきに取り出した1周期分順次シフトした各出力信号と、周期が $(M \times T)$ であってパルス幅 (T) のパルスを出力する M 種類の第2の制御信号とを各第6の論理ゲート回路における第1の制御端子及び第2の制御端子にそれぞれ入力し、これら各第6の論理ゲート回路から各パルス幅が (T) の信号を発生させ、上記パルス幅 (T) の信号を順次走査線に入力する方法である。

【0352】それゆえ、スタートパルスを入力することによりパルス信号をクロック信号の半周期分ずつ順次シフトして出力する走査回路を $2 \times N$ 段(N は正の整数)に設け、かつ、その出力信号の取り出しを $2 \times N$ 段の走査回路における1段おきに行うことによって、各出力信号をそれぞれ1周期分順次シフトさせている。この結果、第6の論理ゲート回路における各第2の制御端子を $(M-1)$ 個おきに共通接続することが可能となる。従って、第2の制御端子の種類は、 M 個となり、従来の半分となる。

【0353】従って、液晶表示装置を動作させるための駆動信号が少なく、かつ歩留向上を実現し得る液晶表示装置の駆動方法を提供することができるという効果を奏する。

【0354】請求項12に係る発明の液晶表示装置の駆動方法は、以上のように、請求項1記載の液晶表示装置の駆動方法であって、前記垂直駆動回路における走査回路に、走査線選択期間を T として、パルス幅が $(M \times T)$ であるスタートパルスを入力し、周期が $(M \times T)$ であるクロック信号を使用して半周期分順次シフトした信号をそれぞれ発生させ、次に、上記半周期分順次シフトした信号と、 M 種類の制御端子のうち $(M/2)$ 個の制御端子に周期が $((M/2) \times T)$ の制御信号とを第1の論理ゲート回路に入力し、パルス幅が (T) で $((M/2) - 1) \times T$ 離れた2個のパルスを第1の論理ゲート回路から発生させ、上記2個のパルスと周期が $(M \times T)$ である第3の制御信号とを第2の論理ゲート回路に入力し、パルス幅 (T) の信号を該第2の論理ゲート回路から出力させ、上記パルス幅 (T) の信号を走査線1本おきに順次入力する方法である。

【0355】それゆえ、第2の制御端子の種類は、 M 個となり、従来の半分となる。従って、液晶表示装置を動作させるための駆動信号が少なく、かつ歩留向上を実現し得る液晶表示装置の駆動方法を提供することができるという効果を奏する。

50

【0356】また、パルス幅 (T) の信号を走査線1本おきに順次入力する。このため、請求項1記載の液晶表示装置を用いて、走査線1本おきに順次入力するインターレース走査を行うことができるという効果を奏する。

【0357】請求項13に係る発明の液晶表示装置の駆動方法は、以上のように、請求項1記載の液晶表示装置の駆動方法であって、前記垂直駆動回路における走査回路に、走査線選択期間を T として、パルス幅が $(M \times T)$ であるスタートパルスを入力し、周期が $(M \times T)$ であるクロック信号を使用して半周期分順次シフトした信号をそれぞれ発生させ、次に、上記半周期分順次シフトした信号と、 M 種類の制御端子に周期が $((M/2) \times T)$ である $M/2$ 種類の制御信号とを第1の論理ゲート回路に入力し、パルス幅が (T) で $((M/2) - 1) \times T$ 離れた2個のパルスを第1の論理ゲート回路から発生させ、上記2個のパルスと周期 $(M \times T)$ である第3の制御信号とを第2の論理ゲート回路に入力し、パルス幅 (T) の信号を該第2の論理ゲート回路から出力させ、上記パルス幅 (T) の信号を走査線2本ずつ順次入力する方法である。

【0358】それゆえ、第2の制御端子の種類は、 M 個となり、従来の半分となる。従って、液晶表示装置を動作させるための駆動信号が少なく、かつ歩留向上を実現し得る液晶表示装置の駆動方法を提供することができるという効果を奏する。

【0359】また、パルス幅 (T) の信号を走査線2本ずつ順次入力する。このため、請求項1記載の液晶表示装置を用いて、走査線2本ずつ順次入力する2本同時走査を行うことができるという効果を奏する。

【0360】請求項14に係る発明の液晶表示装置の駆動方法は、以上のように、請求項2記載の液晶表示装置の駆動方法であって、前記垂直駆動回路における走査回路に、走査線選択期間を T として、パルス幅が $(M \times T)$ であるスタートパルスを入力し、周期が $(M \times T)$ であるクロック信号を使用して半周期分順次シフトした信号をそれぞれ発生させ、次に、上記半周期分順次シフトした信号をパルス幅短縮手段に入力し、パルス幅 $(M \times T/2)$ のパルスをそれぞれ発生させ、上記パルス幅短縮手段からの出力と、 M 本の制御端子のうち $(M/2)$ 本の制御端子には周期が $(M \times T/2)$ である制御信号とを各第3の論理ゲート回路における第1の制御端子及び第2の制御端子にそれぞれ入力し、パルス幅 (T) の信号を該第3の論理ゲート回路から出力させ、上記パルス幅 (T) の信号を走査線1本おきに順次入力する方法である。

【0361】それゆえ第2の制御端子の種類は、 M 個となり、従来の半分となる。従って、液晶表示装置を動作させるための駆動信号が少なく、かつ歩留向上を実現し得る液晶表示装置の駆動方法を提供することができるという効果を奏する。

(27)

51

【0362】また、パルス幅（T）の信号を走査線1本おきに順次入力する。このため、請求項2記載の液晶表示装置を用いて、走査線1本おきに順次入力するインターレース走査を行うことができるという効果を奏する。

【0363】請求項15に係る発明の液晶表示装置の駆動方法は、以上のように、請求項2記載の液晶表示装置の駆動方法であって、前記垂直駆動回路における走査回路に、走査線選択期間をTとして、パルス幅が（M×T）であるスタートパルスを入力し、周期が（M×T）であるクロック信号を使用して半周期分順次シフトした信号をそれぞれ発生させ、次に、上記半周期分順次シフトした信号をパルス幅短縮手段に入力し、パルス幅（M×T/2）のパルス信号をそれぞれ発生させ、上記パルス幅短縮手段からの出力と、M本の制御端子には周期が（M×T/2）であるM/2種類の制御信号とを各第3の論理ゲート回路における第1の制御端子及び第2の制御端子にそれぞれ入力し、パルス幅（T）の信号を該第3の論理ゲート回路から出力させ、上記パルス幅（T）の信号を走査線2本ずつ順次入力する方法である。

【0364】それゆえ、第2の制御端子の種類は、M個となり、従来の半分となる。従って、液晶表示装置を動作させるための駆動信号が少なく、かつ歩留向上を実現し得る液晶表示装置の駆動方法を提供することができるという効果を奏する。

【0365】また、パルス幅（T）の信号を走査線2本ずつ順次入力する。このため、請求項2記載の液晶表示装置を用いて、走査線2本ずつ順次入力する2本同時走査を行うことができるという効果を奏する。

【0366】請求項16に係る発明の液晶表示装置の駆動方法は、以上のように、請求項8記載の液晶表示装置の駆動方法であって、前記垂直駆動回路における走査回路に、走査線選択期間をTとして、パルス幅が（M×T）であるスタートパルスを入力し、周期が（M×T）であるクロック信号を使用して半周期分順次シフトした信号をそれぞれ発生させ、次に、上記2×N段の走査回路からの1段おきに取出した1周期分順次シフトした各出力信号と、M本の制御端子のうち（M/2）本の制御端子には周期が（M×T/2）である制御信号とを各第6の論理ゲート回路における第1の制御端子及び第2の制御端子にそれぞれ入力し、パルス幅（T）の信号を該第6の論理ゲート回路から出力させ、上記パルス幅（T）の信号を走査線1本おきに順次入力する方法である。

【0367】それゆえ、第2の制御端子の種類は、M個となり、従来の半分となる。従って、液晶表示装置を動作させるための駆動信号が少なく、かつ歩留向上を実現し得る液晶表示装置の駆動方法を提供することができるという効果を奏する。

【0368】また、パルス幅（T）の信号を走査線1本おきに順次入力する。このため、請求項8記載の液晶表

52

示装置を用いて、走査線1本おきに順次入力するインターレース走査を行うことができるという効果を奏する。

【0369】請求項17に係る発明の液晶表示装置の駆動方法は、以上のように、請求項8記載の液晶表示装置の駆動方法であって、前記垂直駆動回路における走査回路に、走査線選択期間をTとして、パルス幅が（M×T）であるスタートパルスを入力し、周期が（M×T）であるクロック信号を使用して半周期分順次シフトした信号をそれぞれ発生させ、次に、上記2×N段の走査回路からの1段おきに取出した1周期分順次シフトした各出力信号と、M本の制御端子には周期が（M×T/2）であるM/2種類の制御信号とを各第6の論理ゲート回路における第1の制御端子及び第2の制御端子にそれぞれ入力し、パルス幅（T）の信号を該第6の論理ゲート回路から出力させ、上記パルス幅（T）の信号を走査線2本ずつ順次入力することを特徴とする方法である。

【0370】それゆえ、第2の制御端子の種類は、M個となり、従来の半分となる。従って、液晶表示装置を動作させるための駆動信号が少なく、かつ歩留向上を実現し得る液晶表示装置の駆動方法を提供することができるという効果を奏する。

【0371】また、パルス幅（T）の信号を走査線2本ずつ順次入力する。このため、請求項8記載の液晶表示装置を用いて、走査線2本ずつ順次入力する2本同時走査を行うことができるという効果を奏する。

【図面の簡単な説明】

【図1】本発明における液晶表示装置の実施の一形態を示すものであり、垂直駆動回路の構成を示すブロック図である。

【図2】上記垂直駆動回路における駆動方法を示すタイミングチャートである。

【図3】上記液晶表示装置における全体構成図である。

【図4】本発明における液晶表示装置の他の実施の形態を示すものであり、垂直駆動回路の構成を示すブロック図である。

【図5】上記垂直駆動回路における駆動方法を示すタイミングチャートである。

【図6】本発明における液晶表示装置のさらに他の実施の形態を示すものであり、垂直駆動回路の構成を示すブロック図である。

【図7】上記垂直駆動回路における駆動方法を示すタイミングチャートである。

【図8】本発明における液晶表示装置のさらに他の実施の形態を示すものであり、垂直駆動回路の構成を示すブロック図である。

【図9】上記垂直駆動回路における駆動方法を示すタイミングチャートである。

【図10】本発明における液晶表示装置のさらに他の実施の形態を示すものであり、垂直駆動回路の構成を示す

(28)

53

ブロック図である。

【図11】上記垂直駆動回路における駆動方法を示すタイミングチャートである。

【図12】本発明における液晶表示装置の駆動方法のさらに他の実施の形態を示すものであり、図1に示す垂直駆動回路を用いて走査線1本おきに順次入力するインターレース走査を示すタイミングチャートである。

【図13】図1に示す垂直駆動回路を用いて走査線2本ずつ順次入力する2本同時走査を示すタイミングチャートである。

【図14】本発明における液晶表示装置の駆動方法のさらに他の実施の形態を示すものであり、図4に示す垂直駆動回路を用いて走査線1本おきに順次入力するインターレース走査を示すタイミングチャートである。

【図15】図4に示す垂直駆動回路を用いて走査線2本ずつ順次入力する2本同時走査を示すタイミングチャートである。

【図16】本発明における液晶表示装置の駆動方法のさらに他の実施の形態を示すものであり、図6に示す垂直駆動回路を用いて走査線1本おきに順次入力するインターレース走査を示すタイミングチャートである。

【図17】図6に示す垂直駆動回路を用いて走査線2本ずつ順次入力する2本同時走査を示すタイミングチャートである。

【図18】本発明における液晶表示装置の駆動方法のさらに他の実施の形態を示すものであり、図8に示す垂直駆動回路を用いて走査線1本おきに順次入力するインターレース走査を示すタイミングチャートである。

【図19】図8に示す垂直駆動回路を用いて走査線2本ずつ順次入力する2本同時走査を示すタイミングチャートである。

54

【図20】従来の液晶表示装置を示す全体構成図である。

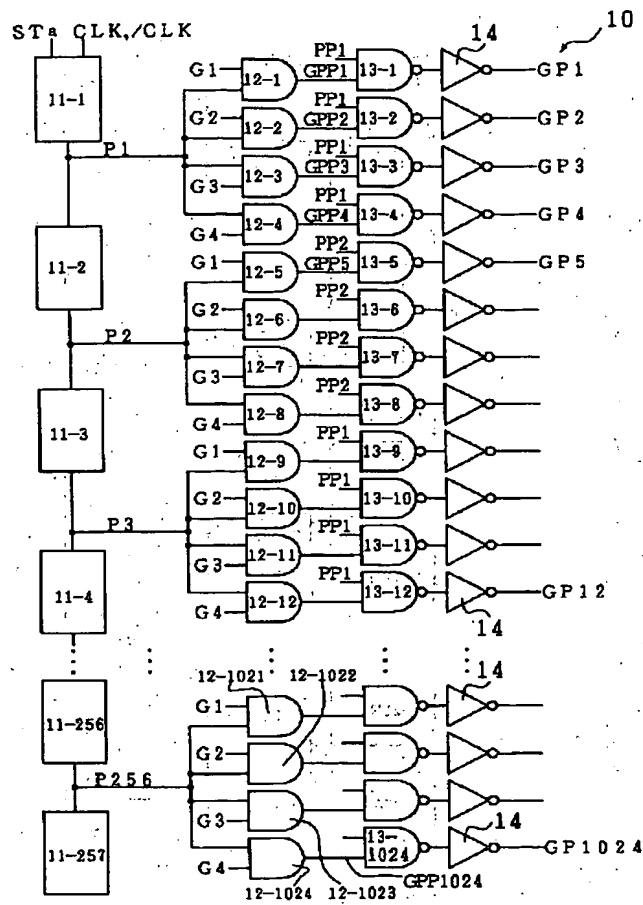
【図21】上記液晶表示装置の垂直駆動回路における駆動方法を示すタイミングチャートである。

【符号の説明】

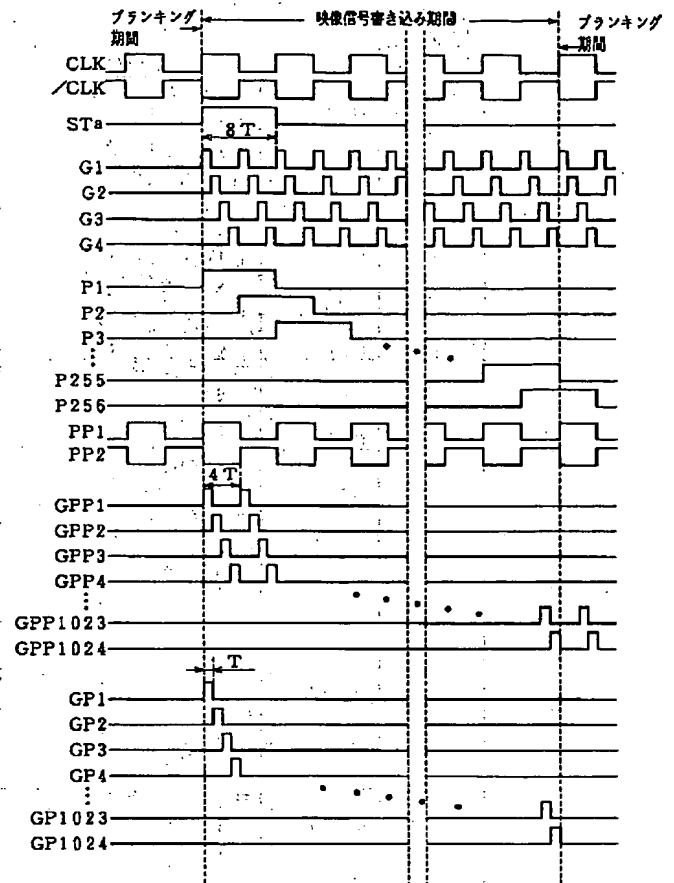
1	アクティブマトリクスアレイ
2	水平駆動回路
10	10 垂直駆動回路
11	11 ハーフビット構成走査回路（走査回路）
12	12 ANDゲート回路（第1の論理ゲート回路）
13	13 NANDゲート回路（第2の論理ゲート回路）
14	14 出力バッファ回路（第2の論理ゲート回路、第3の論理ゲート回路）
15	15 NANDゲート回路（第3の論理ゲート回路、第6の論理ゲート回路）
20	20 垂直駆動回路
21	21 ANDゲート回路（第4の論理ゲート回路、パルス幅短縮手段）
30	30 垂直駆動回路
31	31 ANDゲート回路（第5の論理ゲート回路）
40	40 垂直駆動回路
50	50 垂直駆動回路
CLK	CLK クロック信号（正パルス）
/CLK	/CLK 反転クロック信号（逆パルス）
G1~G4	G1~G4 第2の制御信号
30	30 PP1・PP2 第3の制御信号
STa	STa スタートパルス

(29)

【図1】

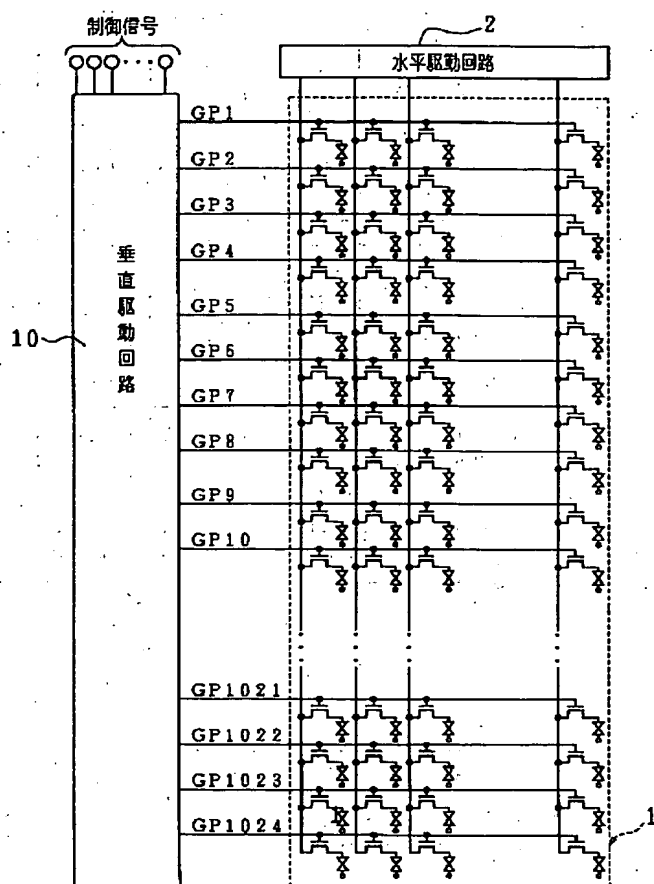


【図2】

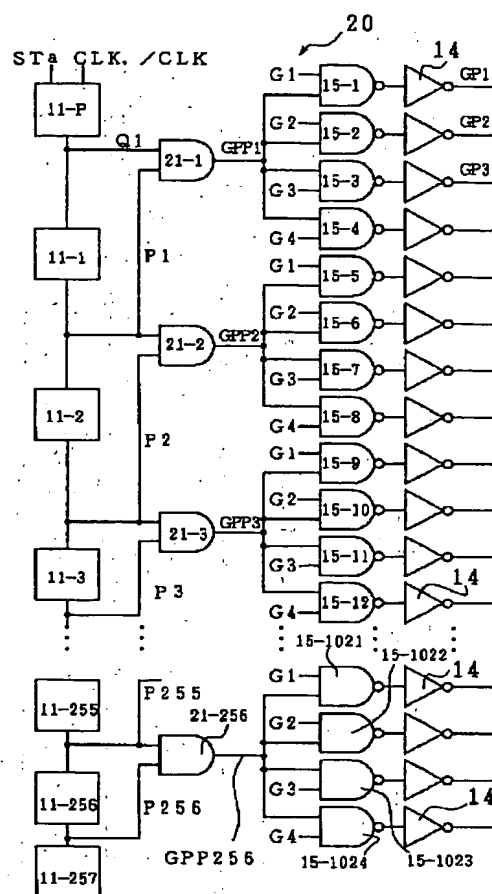


(30)

【図3】

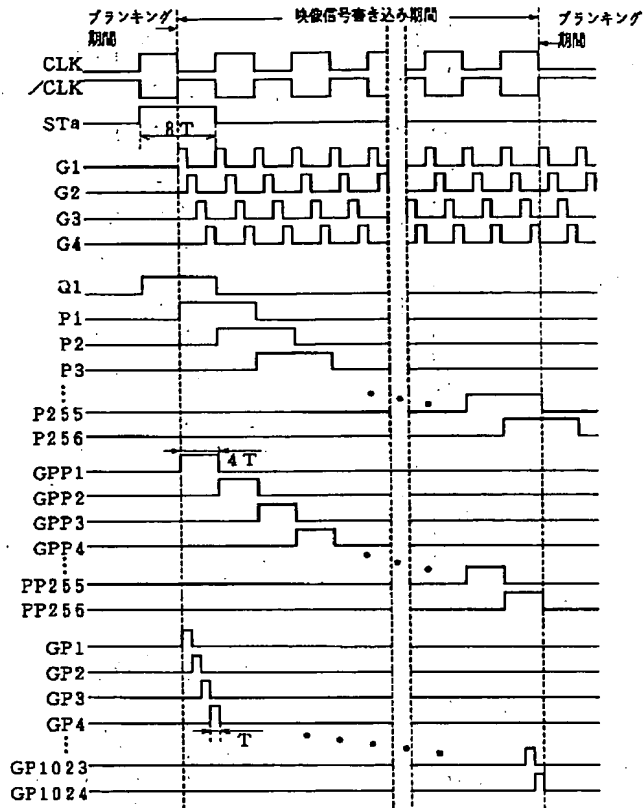


【図4】

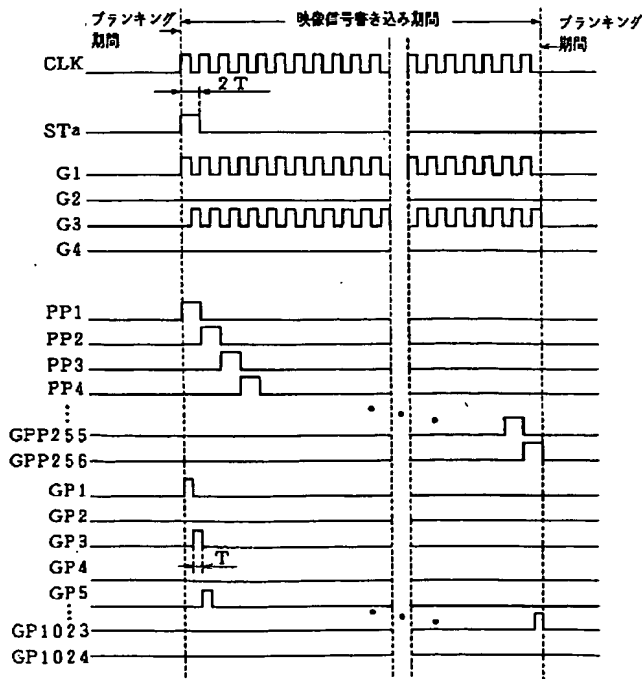


(31)

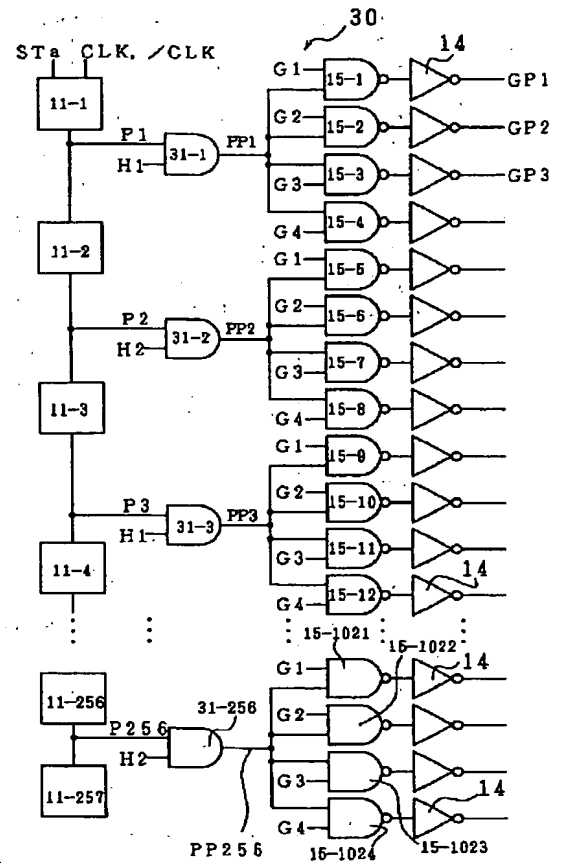
【図5】



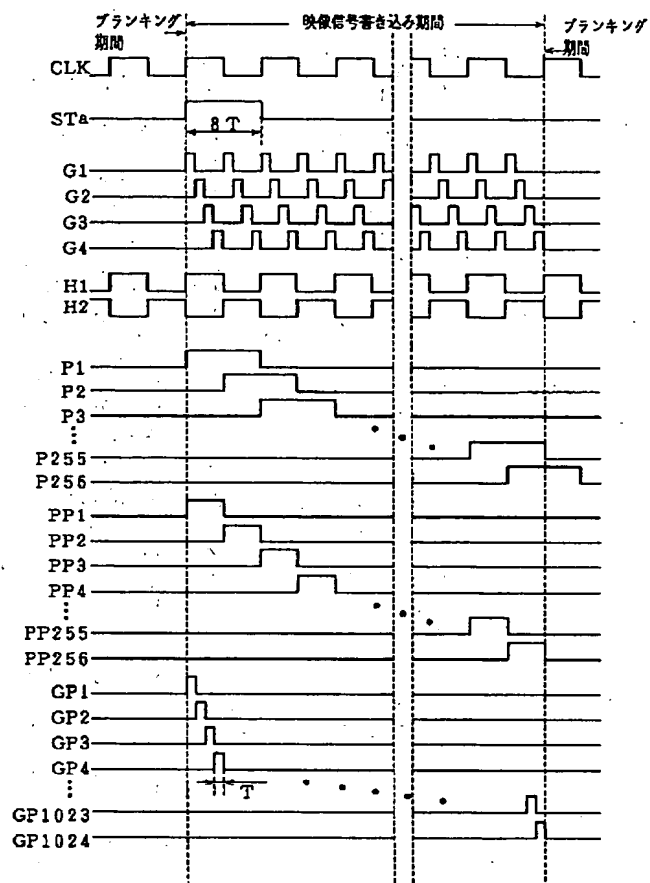
【図18】



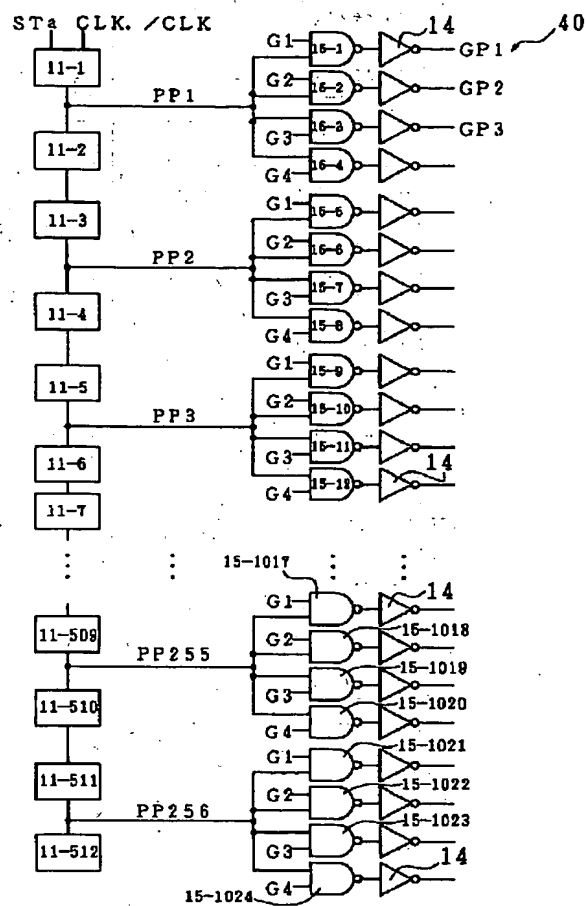
【図6】



【圖 7】

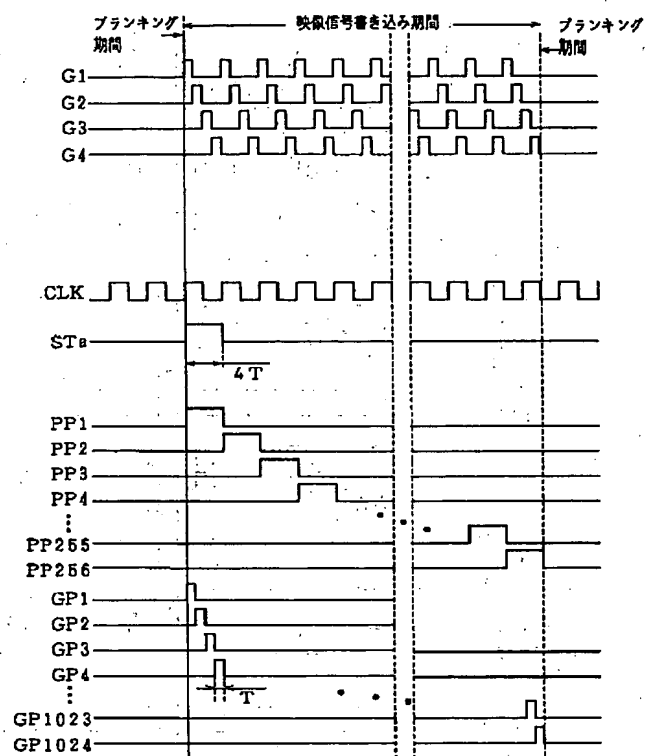


【図 8】

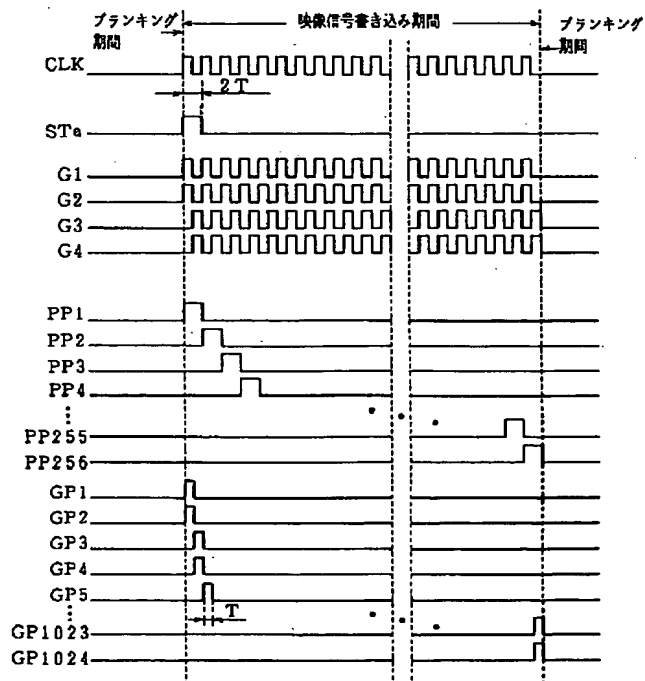


(33)

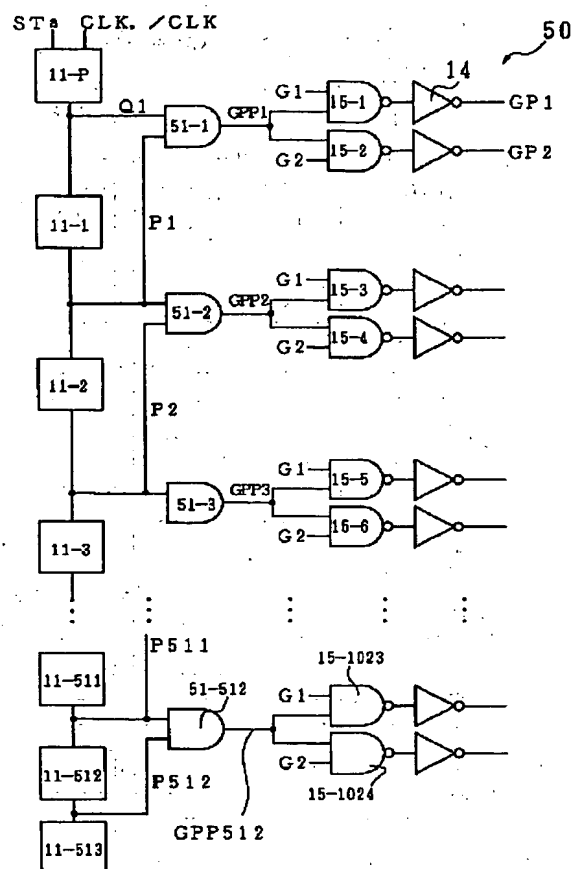
【図9】



【図19】

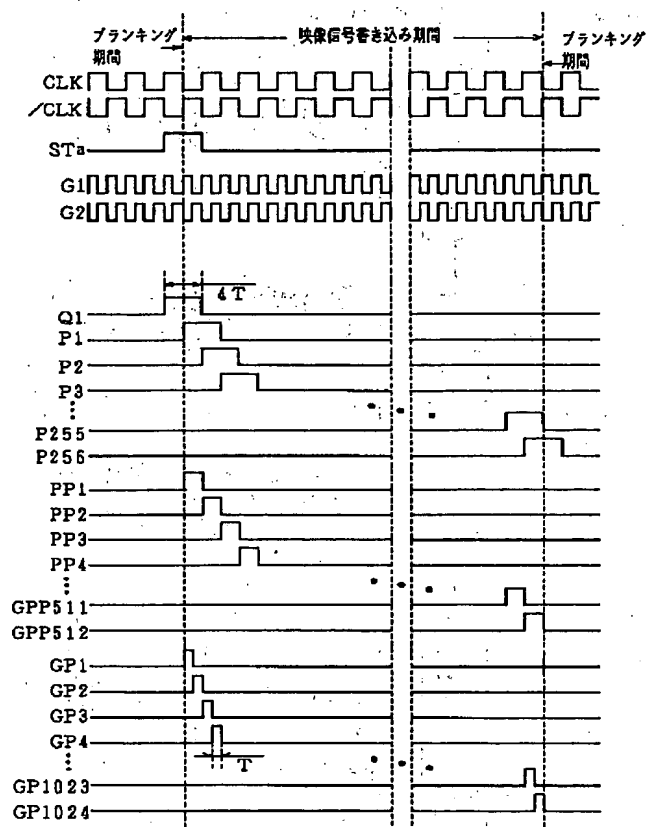


【図10】

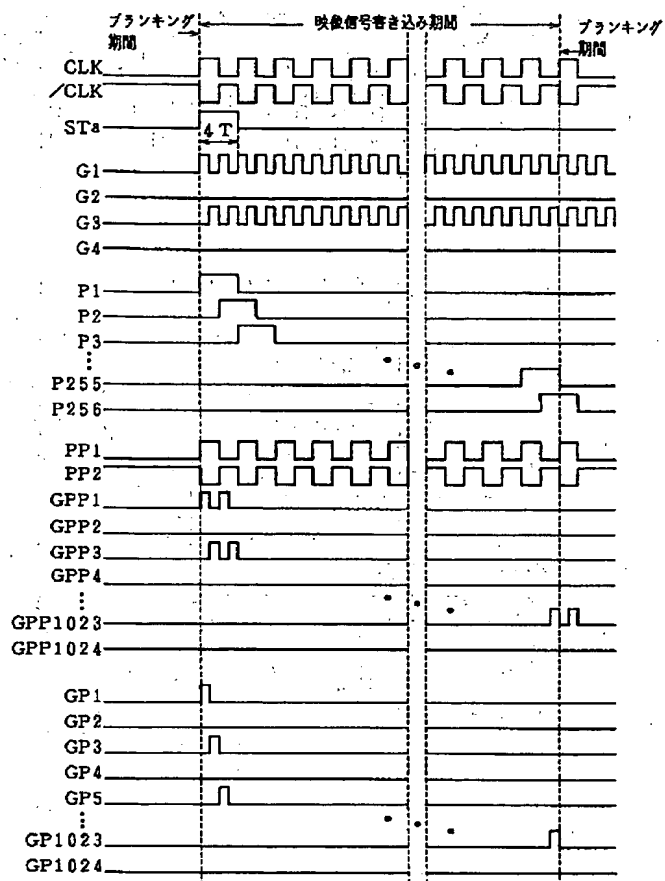


(34)

【図11】

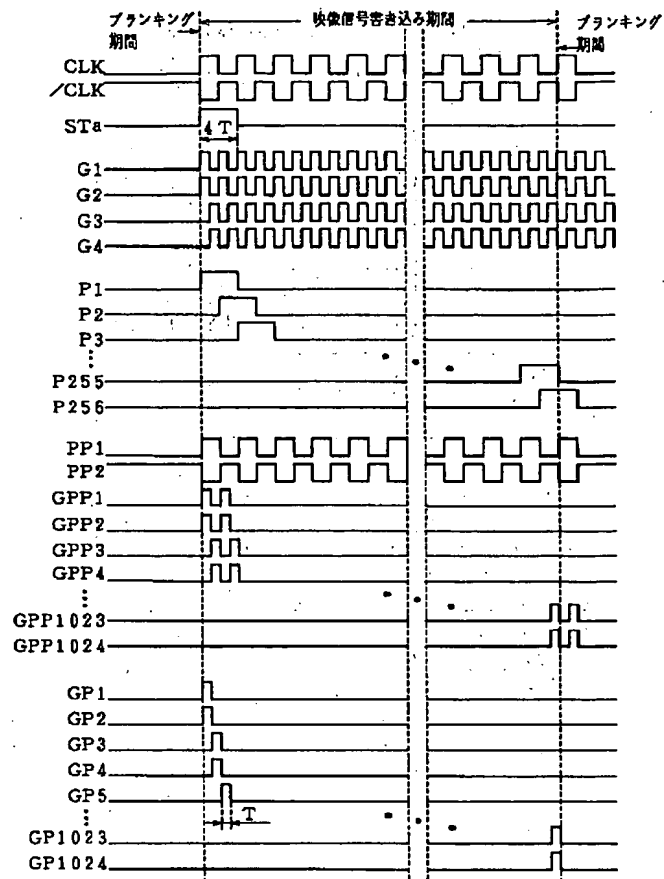


【図12】

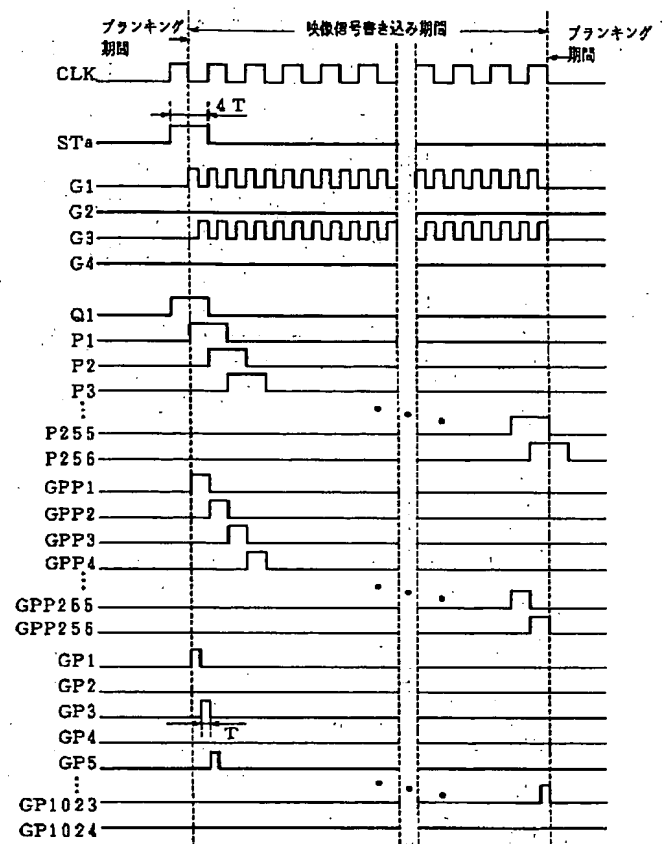


(35)

【図13】

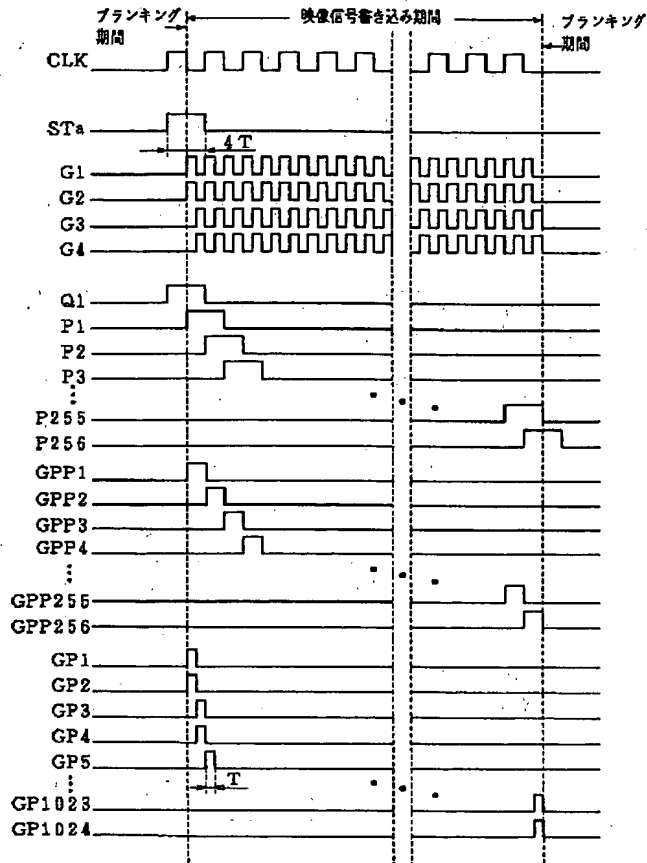


【図14】

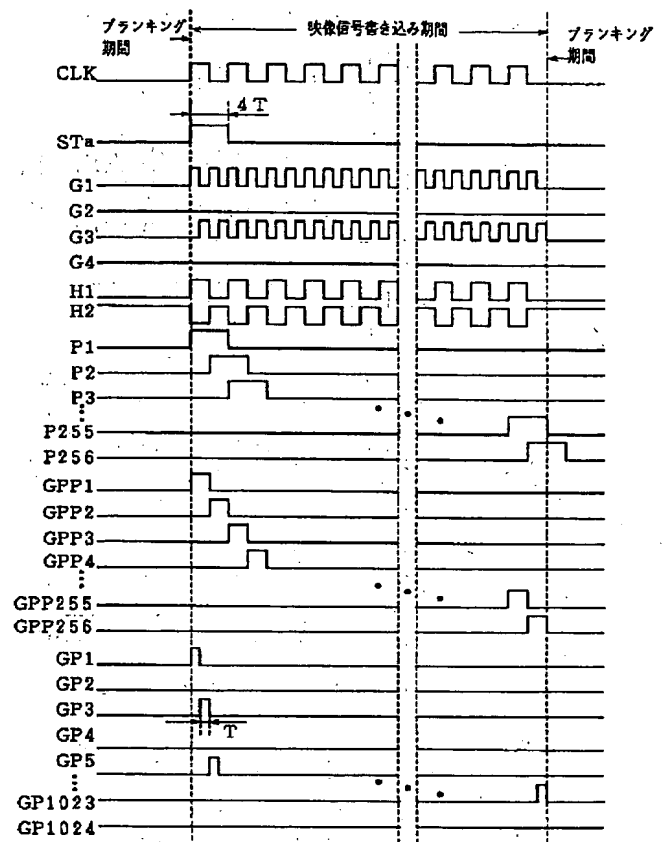


(36)

【図15】

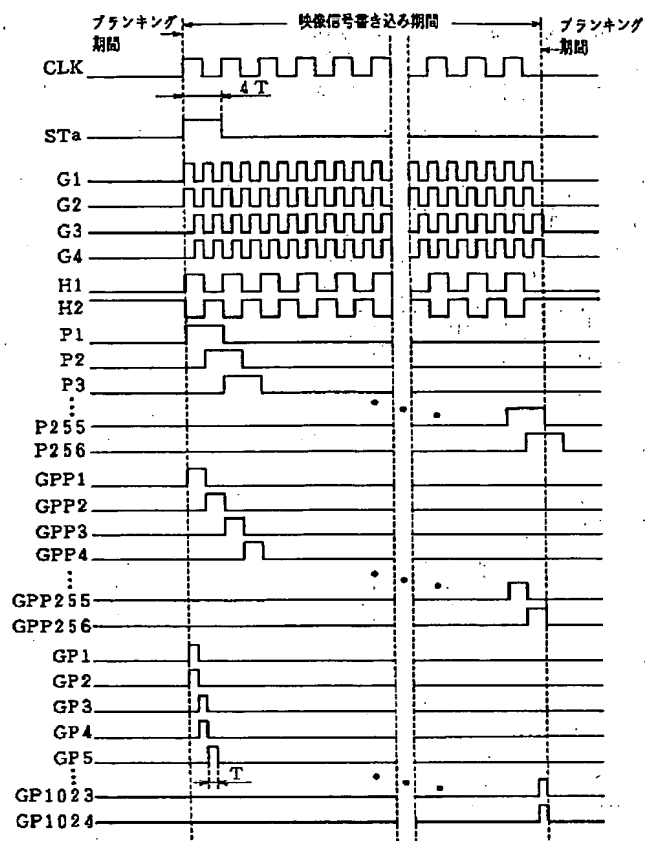


【図16】

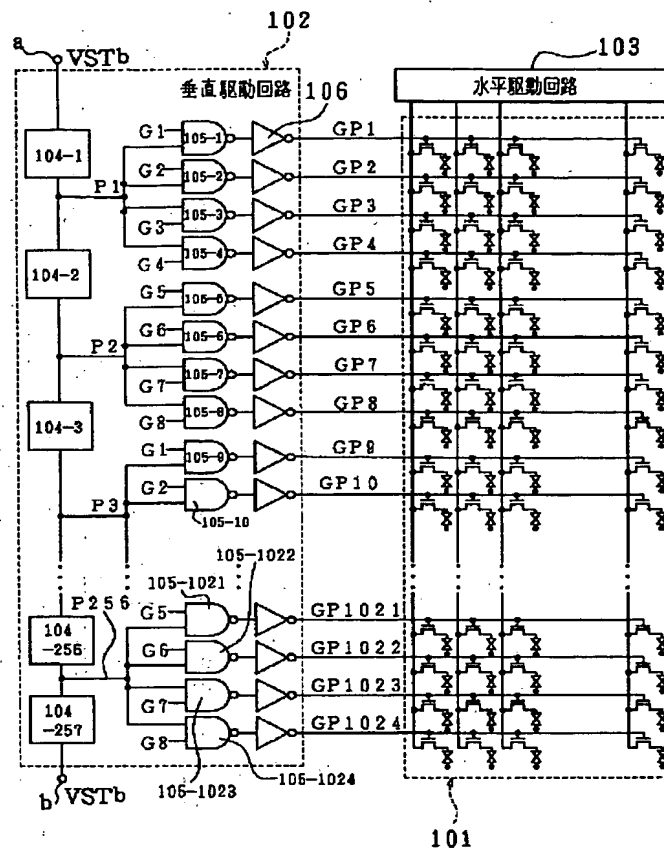


(37)

【図17】



【図20】



(38)

【図21】

